

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

09/233,377

CLIPPEDIMAGE= JP408139056A

PAT-NO: JP408139056A

DOCUMENT-IDENTIFIER: JP 08139056 A

TITLE: METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE HAVING TI SILICIDE LAYER

PUBN-DATE: May 31, 1996

INVENTOR-INFORMATION:

NAME

KAWAMURA, KAZUO

OTA, YUZURU

ASSIGNEE-INFORMATION:

NAME

COUNTRY

FUJITSU LTD

N/A

APPL-NO: JP07234391

APPL-DATE: September 12, 1995

INT-CL_(IPC): H01L021/28; H01L021/3205

ABSTRACT:

PURPOSE: To lower the resistance of titanium silicide by forming a titanium silicide layer in the specific region on the surface of a substrate having a surface and a rear surface to heat the titanium silicide layer while applying the compression strain to the same.

CONSTITUTION: TiSi<SB>2</SB> layers 6 are formed at the interface between a low resistance region 3 and a Ti film 5 as well as between a gate electrode and the Ti film 5. The TiSi<SB>2</SB> layers 6, 7 are C49 phase in high resistivity. Next, after deposition of a TiN film 8 on the rear surface of the silicon substrate 1, the whole body is heat-treated in nitrogen atmosphere. Since the thermal expansion coefficient of TiN is larger than that of Si, the substrate 1 warps turning the TiN film 8 side outward. Thus, the compression stress is composed on the TiSi<SB>2</SB> layers 6, 7 formed on the surface side of the substrate 1 to apply the compression strain thereto. Through these procedures, the compression strain is applied to the TiSi<SB>2</SB> layers 6, 7 which are efficiently C54 phase-transferred in low resistivity.

COPYRIGHT: (C)1996,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-139056

(43) 公開日 平成8年(1996)5月31日

(51) Int.Cl.⁶

H 0 1 L 21/28
21/3205

識別記号

3 0 1 T

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/ 88

Q

審査請求 未請求 請求項の数12 O L (全 10 頁)

(21) 出願番号 特願平7-234391

(22) 出願日 平成7年(1995)9月12日

(31) 優先権主張番号 特願平6-222108

(32) 優先日 平6(1994)9月16日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 川村 和郎

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 太田 譲

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 高橋 敬四郎

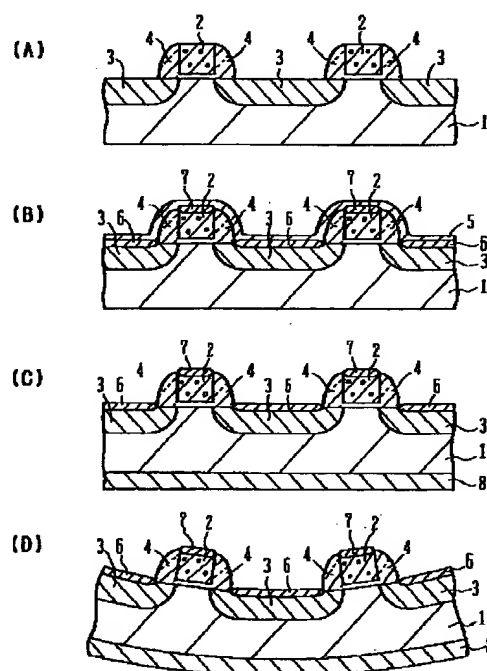
(54) 【発明の名称】 T1シリサイド層を有する半導体装置の製造方法

(57) 【要約】

【課題】 パターン幅の狭い金属シリサイド層のシート抵抗を下げる事が可能な金属シリサイド層の作製技術を提供する。

【解決手段】 上面と下面を有する基板を準備する工程と、前記基板の上面の少なくとも一部の領域にチタンシリサイド層を形成する第1の工程と、前記チタンシリサイド層に圧縮歪を加えつつ加熱して、前記チタンシリサイド層を低抵抗化する第2の工程とを含む。

第1の実施例



【特許請求の範囲】

【請求項1】 上面と下面を有する基板を準備する工程と、

前記基板の上面の少なくとも一部の領域にチタンシリサイド層を形成する第1の工程と、

前記チタンシリサイド層に圧縮歪を生じさせて加熱し、前記チタンシリサイド層を低抵抗化する第2の工程とを含む半導体装置の製造方法。

【請求項2】 前記チタンシリサイド層が、幅が $1\mu\text{m}$ 以下の線状部分を含む請求項1に記載の半導体装置の製造方法。

【請求項3】 前記第2の工程が、前記基板の下面に、前記基板よりも熱膨張係数が大きい材料からなる第1の膜を 800°C よりも低い温度で形成する工程と、

前記基板を 800°C 以上の温度で熱処理する工程とを含む請求項1または2に記載の半導体装置の製造方法。

【請求項4】 前記第1の工程の前に、さらに、前記基板の下面に前記基板よりも熱膨張係数が小さい材料からなる第2の膜を第1の温度で形成する工程を含み、前記第1の工程において、前記第1の温度よりも高い第2の温度で前記チタンシリサイド層を形成し、前記第1の工程の後、前記第2の工程の前に、さらに、前記第2の膜を除去する工程を含む請求項1～3のいずれかに記載の半導体装置の製造方法。

【請求項5】 前記基板が、Siであり、前記第2の膜が、 SiO_2 である請求項4に記載の半導体装置の製造方法。

【請求項6】 前記基板がSiであり、前記第1の膜が、TiN、AlN、ZrN、HfN、Co、Ti、Ni、Zr、Hf、Ta、Fe、Cr、Mo、W、Pt、 TiSi_2 、 ZrSi_2 、 HfSi_2 、 TaSi_2 、 FeSi_2 、 CrSi_2 、 MoSi_2 、 WSi_2 、及び PtSi_2 からなる群より選ばれた少なくとも1つのものにより形成されている請求項3～5のいずれかに記載の半導体装置の製造方法。

【請求項7】 少なくとも一部領域にSi表面が露出した基板を準備する工程と、

前記基板の表面上に、Siとシリサイド反応を起こす金属膜を堆積する工程と、

前記基板の表面及び前記金属膜の少なくとも一方に歪を生じさせつつ加熱し、前記Si表面と前記金属膜とを反応させて金属シリサイド層を形成する工程とを含む半導体装置の製造方法。

【請求項8】 前記Si表面が、幅 $1\mu\text{m}$ 以下の線状形状の領域を有する請求項7に記載の半導体装置の製造方法。

【請求項9】 前記金属シリサイド層を形成する工程の前に、さらに、

前記基板の裏面上に、前記金属シリサイド層を形成する

工程における加熱温度よりも低い温度で、前記基板よりも熱膨張係数の大きい材料からなる第1の膜を形成する工程を含む請求項7または8に記載の半導体装置の製造方法。

【請求項10】 前記基板がSi基板であり、前記第1の膜が、TiN、AlN、ZrN、HfN、Co、Ti、Ni、Zr、Hf、Ta、Fe、Cr、Mo、W、Pt、 TiSi_2 、 ZrSi_2 、 HfSi_2 、 TaSi_2 、 FeSi_2 、 CrSi_2 、 MoSi_2 、 WSi_2 、 PtSi_2 からなる群より選ばれた少なくとも1つのものにより形成されている請求項9に記載の半導体装置の製造方法。

【請求項11】 前記金属膜がTi膜であり、前記金属シリサイド層を形成する工程の後、さらに、前記金属シリサイド層に圧縮歪を生じさせつつ加熱して前記金属シリサイド層を低抵抗化する工程を含む請求項7～10のいずれかに記載の半導体装置の製造方法。

【請求項12】 前記金属膜がTi膜であり、前記金属シリサイド層を形成する工程の後、さらに、前記金属シリサイド層を形成する工程における加熱温度よりも高い温度で熱処理を行い、前記金属シリサイド層を低抵抗化する工程を含む請求項9または10に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、特に、金属シリサイドからなる微細パターンを有する半導体装置の製造方法に関する。

【0002】

【従来の技術】高融点メタルシリサイドは、半導体装置のコンタクト材料、ゲート電極、及び配線等に利用されている。メタルシリサイドの中でも TiSi_2 は室温における抵抗率が $10\sim 20\Omega\text{cm}$ と低いこと、熱的、化学的に安定であることから半導体装置に多用されている。

【0003】 TiSi_2 には、準安定状態のC49相と安定状態のC54相の2種類の相があり、(100)あるいは(111)面Si基板表面、ポリシリコンまたはアモルファスシリコン等の上に形成される。C49相は 700°C 以下で形成され、C54相は 750°C 以上で形成される。準安定状態であるC49相は、安定状態であるC54相と比較すると抵抗率が高く、室温で $40\sim 60\Omega\text{cm}$ である。

【0004】以下に、図1(A)～図1(C)を参照して、MOSFETのソース、ドレイン領域及びゲート電極の表面をシリサイド化する場合を例にとって、従来の TiSi_2 層の作製方法を説明する。なお、図1は、後に本発明の実施例の説明においても参照する。

【0005】図1(A)に示すように、p型シリコン基板1の表面上にゲート絶縁膜を介してアモルファスシリ

コンからなる2つのゲート電極2が形成されている。それぞれのゲート電極2を挟むように、シリコン基板1の表面に複数の低抵抗領域3が形成されている。各ゲート電極2とそれを挟む2つの低抵抗領域3によりMOSFETが構成される。

【0006】ゲート電極2の側壁から低抵抗領域3表面のゲート電極近傍領域にわたって、絶縁体からなるサイドウォール絶縁体4が形成されている。サイドウォール絶縁体4は、低抵抗領域形成用のイオン注入時のマスクとして使用される。

【0007】図1(B)を参照して、第1回目の熱処理までの工程について説明する。ゲート電極2、低抵抗領域3の露出した表面を含む基板全面にTi膜5を堆積する。次に、温度690℃程度で第1回目の熱処理を行い、TiとSiを反応させる。これにより、低抵抗領域3とTi膜5との界面、及びゲート電極2とTi膜5との界面にそれぞれTiSi₂層6、7が形成される。

【0008】図1(C)を参照して第2回目の熱処理までの工程について説明する。なお、図1(C)のシリコン基板1裏面のTiN膜8は、後述する実施例において形成されるものであり、従来例ではTiN膜8は形成されない。第1回目の熱処理工程後、未反応のTi膜5を除去する。次に、800℃で熱処理を行い、TiSi₂をC49相からC54相に相転移させ、TiSi₂層6、7を低抵抗化する。

【0009】

【発明が解決しようとする課題】従来例による第2回目熱処理工程により、TiSi₂が低抵抗化するが、図1(C)の低抵抗領域3のパターン幅が1μm以下になるとTiSi₂層6のシート抵抗が急激に増加する。

【0010】図4は、TiSi₂層の線幅に対するTiSi₂層のシート抵抗を示す。横軸は線幅を単位μmで表し、縦軸はシート抵抗を単位Ω/□で表す。シート抵抗を測定した試料は、シリコン基板にBF₂⁺イオンをイオン注入して850℃で10分間の熱処理を行ったp型領域の表面にTiSi₂層を形成したものである。図中の記号■は、BF₂⁺を加速エネルギー20keV、ドーズ量5×10¹⁵cm⁻²、記号●は、加速エネルギー20keV、ドーズ量2×10¹⁵cm⁻²の条件でイオン注入してp型領域を形成した場合を示す。

【0011】TiSi₂層の下地が、BF₂⁺のドーズ量2×10¹⁵cm⁻²のp型領域の場合、TiSi₂層の線幅が2μmのとき、シート抵抗は約6Ω/□であり、線幅を1μmとするとシート抵抗はやや上昇し約11Ω/□となる。さらに、線幅を細くするとシート抵抗は急激に増加し、線幅が0.4μmのとき約34Ω/□となる。

【0012】TiSi₂層下地のp型領域のドーズ量が5×10¹⁵cm⁻²の場合には、シート抵抗が全体的に高くなり、線幅に対するシート抵抗の変化は同様の傾向を

示す。

【0013】半導体装置の高速化を図るためには、配線・電極の抵抗を下げる必要がある。特に、集積度が向上し、微細化が進んだ集積回路では、配線・電極はますます細くなる傾向にある。このため、特に線幅が1μm以下の配線・電極のシート抵抗を下げるが必要となる。

【0014】本発明の目的は、パターン幅の狭い金属シリサイド層のシート抵抗を下げることで可能な金属シリサイド層の作製技術を提供することである。

【0015】

【課題を解決するための手段】本発明の一観点によると、上面と下面を有する基板を準備する工程と、前記基板の上面の所定領域にチタンシリサイド層を形成する第1の工程と、前記チタンシリサイド層に圧縮歪を加えつつ加熱して、前記チタンシリサイド層を低抵抗化する第2の工程とを含む半導体装置の製造方法が提供される。

【0016】チタンシリサイドのC54相はC49相よりも密度が高い。従って、チタンシリサイド層に圧縮歪を加えて熱処理することにより、C49相からC54相への相転移が促進されたと考えられる。C54相は、C49相よりも抵抗率が低いので、低抵抗化を図ることができる。

【0017】本発明の他の観点によると、前記チタンシリサイド層が、幅1μm以下の線状部分を含む半導体装置の製造方法が提供される。通常、チタンシリサイド層が線幅1μm以下の線状パターンである場合に、シート抵抗が高くなる傾向にある。このため、チタンシリサイド層に圧縮歪を加えて熱処理する方法は、チタンシリサイド層が線幅1μm以下の線状部分を含むときに効果が高い。

【0018】本発明の他の観点によると、前記第2の工程が、前記基板の下面に、前記基板よりも熱膨張係数が大きい材料からなる第1の膜を800℃よりも低い温度で形成する工程と、前記基板を800℃以上の温度で熱処理する工程とを含む半導体装置の製造方法が提供される。

【0019】基板の下面に、基板よりも熱膨張係数の大きい材料からなる膜を形成して加熱すると、基板がその下面を外側にするように反る。このため、基板の上面に形成されたチタンシリサイド層に圧縮歪を加えることができる。800℃以上の温度で熱処理すると、チタンシリサイドをC49相からC54相に効率的に相転移させることができる。

【0020】本発明の他の観点によると、前記第1の工程の前に、さらに、前記基板の下面に前記基板よりも熱膨張係数が小さい材料からなる第2の膜を第1の温度で形成する工程を含み、前記第1の工程において、前記第1の温度よりも高い第2の温度で前記チタンシリサイド層を形成し、前記第1の工程の後、前記第2の工程の前

に、さらに、前記第2の膜を除去する工程を含む半導体装置の製造方法が提供される。

【0021】基板の下面に、基板よりも熱膨張係数の小さい材料からなる膜を形成して加熱すると、基板がその上面を外側にするように反る。この状態で基板上面にチタンシリサイド層を形成し、基板裏面の膜を除去して基板の反りを復元することにより、チタンシリサイド層に圧縮歪を加えることができる。

【0022】本発明の他の観点によると、少なくとも一部領域にSi表面が露出した基板を準備する工程と、前記基板の表面上に、Siとシリサイド反応を起こす金属膜を堆積する工程と、前記基板の表面及び前記金属膜の少なくとも一方に歪を生じさせて加熱し、前記Si表面と前記金属膜とを反応させて金属シリサイド層を形成する工程とを含む半導体装置の製造方法が提供される。

【0023】基板の表面及び金属膜の少なくとも一方に歪を生じさせて加熱すると、シリサイド反応を起こしやすくなる。このため、歪を生じさせない場合に比べて厚い金属シリサイド層を形成し易くなる。

【0024】本発明の他の観点によると、さらに、前記金属シリサイド層を形成する工程の前に、前記基板の裏面上に、前記金属シリサイド層を形成する工程における加熱温度よりも低い温度で、前記基板よりも熱膨張係数の大きい材料からなる第1の膜を形成する工程を含む半導体装置の製造方法が提供される。

【0025】第1の膜を形成した後シリサイド反応時に、第1の膜形成時の温度よりも高温で熱処理するため、基板がその裏面側を外側にするように反る。このため、基板表面の金属膜に圧縮応力が印加され、圧縮歪が生ずる。

【0026】

【発明の実施の形態】TiSi₂層のパターンが細くなった場合に熱処理を行っても低抵抗化しない原因を探索するために、線幅が0.5μmと2.0μmのTiSi₂パターンを透過型電子顕微鏡(TEM)により観察した。

【0027】その結果、線幅が狭くなるとTiSi₂パターンのうち約半分の領域がC49相のままであり、C54相に相転移していないことがわかった。このため、線幅が狭くなるとTiSi₂パターンのシート抵抗が上昇するものと考えられる。

【0028】また、基板全面に形成されたC49相のTiSi₂膜と線幅0.5μmのC49相のTiSi₂パターンの格子定数をX線回折により測定したところ、基板全面に形成したTiSi₂膜は0.0079程度の圧縮歪を受けている一方、0.5μm線幅のTiSi₂パターンはほとんど圧縮歪を受けていないことがわかった。

【0029】C49相からC54相へ相転移するとき、TiSi₂の体積は約5%小さくなる。このため、

圧縮歪を受けているとC49相からC54相への相転移が促進されるものと考えられる。このことから、線幅が細いTiSi₂パターンに圧縮歪を与えて熱処理を行うことにより、C54相への相転移が促進され、低抵抗化が図られると考えられる。

【0030】以下、図1を参照して、第1の実施例について、nチャネルMOSFETの低抵抗領域の表面、及びゲート電極の上面をシリサイド化する場合を例にとって説明する。

10 【0031】図1(A)を参照してMOSFET形成までの工程について説明する。図1は、2つのMOSFETのそれぞれの1つの電流端子が相互に接続されている構成を示している。

【0032】p型シリコン基板1の表面を熱酸化してゲート絶縁膜を形成し、このゲート絶縁膜上にCVDにより厚さ200nmのアモルファスシリコン膜を堆積する。このアモルファスシリコン膜にPを加速エネルギー20keV、ドーズ量 $4 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入し、パターニングしてゲート電極2を形成する。LD D構造形成のため、ゲート電極2をマスクとしてAsを加速エネルギー10keV、ドーズ量 $3 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入する。

【0033】次に、原料ガスとしてSiH₂Cl₂とN₂Oを使用し、基板温度800℃でCVDにより厚さ150nmのSiO₂膜を形成し、続いてリアクティブイオンエッチング(RIE)により、このSiO₂膜を異方性エッチングしてサイドウォール絶縁体4を形成する。

30 【0034】ゲート電極2とサイドウォール絶縁体4をマスクとして低抵抗領域形成用のイオン注入を行う。例えば、Asを加速エネルギー30keV、ドーズ量 $2 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入する。窒素雰囲気中で温度800℃として10分間の熱処理を行い、イオン注入された不純物を活性化して低抵抗領域3を形成する。低抵抗領域3はソースあるいはドレイン領域となる。熱処理後、低抵抗領域3表面の酸化膜を除去する。

【0035】図1(B)を参照して、第1回目の熱処理までの工程について説明する。低抵抗領域3及びゲート電極2の露出した表面を含む基板全面にTi膜5を堆積する。温度690℃で90秒間、第1回目の熱処理を行う。熱処理は、例えば赤外線ランプを用いたラビッドサーマルアニールにより行う。なお、好ましくは熱処理の温度を650~750℃、より好ましくは650~700℃とし、熱処理時間を30~90秒とする。

【0036】第1回目の熱処理により、低抵抗領域3とTi膜5との界面にTiSi₂層6が形成され、ゲート電極2とTi膜5との界面にTiSi₂層7が形成される。TiSi₂層6、7は、C49相である。

50 【0037】図1(C)を参照して、シリコン基板1の裏面にTiN膜を形成するまでの工程について説明す

る。第1回目の熱処理で未反応のTi膜5を NH_4OH と H_2O_2 と H_2O を1:1:2に混合したエッチング液を使用し、温度70℃で90秒間エッチングして除去する。

【0038】次に、シリコン基板1の裏面にArと N_2 の混合雰囲気中でTiターゲットを用いた反応性スパッタにより、基板温度が室温の条件で厚さ100 μm のTiN膜8を堆積する。TiN膜8の堆積は、後の第2回目の熱処理の温度よりも低い温度で行う必要がある。

【0039】図1(D)を参照して、第2回目の熱処理工程について説明する。シリコン基板1の裏面にTiN膜8を堆積後、窒素雰囲気中で温度約800℃で30秒間の熱処理を行う。熱処理は、例えばラビッドサーマルアニールにより行う。なお、好ましくは熱処理の温度を800~900℃、より好ましくは800~850℃とする。TiNは、Siよりも熱膨張係数が大きいので、800℃に加熱するとTiN膜8側の面が外側になるように基板が反る。このため、基板1の表側に形成されたTiSi₂層6、7には、圧縮応力が加えられ、圧縮歪が生ずる。

【0040】このように、TiSi₂層に圧縮歪を生じさせて800℃程度に加熱することにより、TiSi₂層6、7を効率的にC54相に相転移させることができる。第2回目の熱処理工程後、シリコン基板1を背面研磨することにより、TiN膜8を除去する。TiN膜8を除去すると、基板は元の平坦な状態に復元する。なお、背面研磨の代わりにケミカルエッチングによりTiN膜8を除去してもよい。

【0041】上記第1の実施例では、基板の裏面に形成する膜としてTiNを使用する場合について説明したが、Siよりも熱膨張係数が大きいものであればその他の材料を用いてもよい。例えば、AlN、ZrN、HfN等を用いてもよい。また、Si以外の基板を用いてもよい。この場合には、図1(C)の工程で基板裏面に形成する膜は、基板よりも大きな熱膨張係数を有する材料とする必要がある。

【0042】次に、第2の実施例について、第1の実施例と同様にMOSFETの低抵抗領域の表面、及びゲート電極の上面をサリサイド化する場合を例にとって説明する。

【0043】図1(A)に示すように、MOSFETが形成された基板を準備する。MOSFETは、第1の実施例と同様の方法で作製される。図2(A)に示すように、低抵抗領域3及びゲート電極2の露出した表面を含む基板全面にTi膜5を堆積する。シリコン基板1の裏面に反応ガスとして SiH_4 と O_2 を使用し、ECR(電子サイクロトロン共鳴)を用いたプラズマCVDにより、基板温度約300℃で厚さ100 μm の SiO_2 膜11を堆積する。なお、約100分程度で厚さ100 μm の膜を堆積することができる。 SiO_2 膜の堆積

は、後の第1回目の熱処理の温度よりも低い温度で行う必要がある。

【0044】図2(B)を参照して、第1回目の熱処理工程について説明する。基板を690℃として90秒間、第1回目の熱処理を行う。熱処理は、例えば、ラビッドサーマルアニールにより行う。なお、好ましくは熱処理の温度を650~750℃、より好ましくは650~700℃とし、熱処理時間を30~90秒とする。 SiO_2 の熱膨張係数は、Siのそれよりも小さいため、690℃に加熱すると SiO_2 膜11側の面が内側になるように基板が反る。この状態で、低抵抗領域3とTi膜5との界面にTiSi₂層6が形成され、ゲート電極2とTi膜5との界面にTiSi₂層7が形成される。

【0045】図2(C)を参照して、第2回目の熱処理までの工程について説明する。第1回目の熱処理工程後、基板を室温まで冷却し、背面研磨により SiO_2 膜11を除去する。未反応のTi膜5を NH_4OH と H_2O_2 と H_2O を1:1:2に混合したエッチング液を使用し、温度70℃で90秒間エッチングして除去する。 SiO_2 膜11を除去すると基板の反りは復元するため、TiSi₂層6、7に圧縮歪が加えられる。この状態で基板を800℃程度に加熱して30秒間、第2回目の熱処理を行う。なお、好ましくは熱処理の温度を800~900℃、より好ましくは800~850℃とする。このようにして、第1の実施例と同様にTiSi₂層6、7に圧縮歪を加えた状態で熱処理を行うことができる。

【0046】上記第2の実施例では、Si基板を使用した場合について説明したがSi以外の基板を使用してもよい。この場合、図2(A)の工程で基板の裏面に堆積する膜は、基板よりも熱膨張係数が小さい材料とする必要がある。

【0047】また、図2(C)に示す第2回目の熱処理工程の前に、上記第1の実施例で説明したように、基板の裏面にTiN膜を形成してもよい。第2回目の熱処理工程の前にTiN膜を形成することにより、さらに大きな圧縮歪を加えることができる。

【0048】また、上記第2の実施例では、第1回目の熱処理の温度を650~700℃とし、C49相のTiSi₂層を形成する場合について説明したが、700℃以上の温度としてもよい。700℃以上で熱処理することにより、第1回目の熱処理において、TiSi₂層の一部を密度の高いC54相とすることができる。従って、第2回目の熱処理時に加わる圧縮歪がより大きくなることが期待される。

【0049】次に、図3を参照して上記第1の実施例によりTiSi₂層を形成した場合のTiSi₂層のシート抵抗を、従来例により形成した場合と比較して説明する。図3は、第1回目及び第2回目の熱処理後のTiSi₂層のシート抵抗を示す。横軸は時間軸で、熱処理

前、第1回目及び第2回目の熱処理後の状態を表し、縦軸は、シート抵抗を単位 Ω/\square で表す。なお、図1では、MOSFETのソース/ドレイン領域、及びゲート電極の上面に微細な $TiSi_2$ パターンを形成する場合を示したが、図3は、表面にAsを加速エネルギー30keV、ドーズ量 $2 \times 10^{14} \text{ cm}^{-2}$ の条件でイオン注入を行い、1000℃で10秒間の活性化アニールを行ってn型領域が形成されたシリコン基板の全面に形成した $TiSi_2$ 層のシート抵抗を示す。

【0050】シート抵抗の測定は、第2回目の熱処理工程における基板の反りの程度が異なる3種類の試料及び反りが無い試料について行った。ここで、反りの程度は、反っている基板の外側の面が、その縁上の一点で平面に接するように配置したとき、平面に接している点の基板中心に関する対称点の平面からの高さHで表すこととした。なお、使用した基板は、4インチ径のものである。図中の記号 \square 、 \blacksquare 、 \circ 、 \bullet は、それぞれ反りの程度Hが0mm、1mm、2mm、3mmのときのシート抵抗を示す。

【0051】基板の反りの程度Hの大きさは、第1の実施例においては、図1(C)に示す TiN 膜8のスパッタ時の基板温度等の成膜条件、あるいは膜厚等を変えることにより制御することができる。また、第2の実施例においては、図2(B)に示す SiO_2 膜11のCVDの成膜条件、あるいは膜厚等を変えればよい。

【0052】 Ti 層のシート抵抗は、約 $40 \Omega/\square$ であり、第1回目の熱処理を行いシリサイド化することにより、シート抵抗は急激に減少する。第1回目の熱処理後のシート抵抗は、 $8 \sim 10 \Omega/\square$ である。第1回目の熱処理までは各試料の作製条件に差はないため、試料毎のシート抵抗の差は、作製条件のバラツキによるものと考えられる。

【0053】第2回目の熱処理を行うと、シート抵抗はさらに低下する。反りが無い場合及び反りの程度Hが1mmの場合には、シート抵抗の低下分は約 $3.9 \Omega/\square$ であるのに対し、反りの程度Hが2mmの場合には約 $4.3 \Omega/\square$ である。このように、反りの程度Hが2mmになるように基板を反らせ、 $TiSi_2$ 層に圧縮歪を加えて熱処理を行うことにより、 $TiSi_2$ 層のシート抵抗をより低下させることができる。

【0054】反りの程度Hが3mmのときは、第2回目の熱処理によるシート抵抗の低下分は約 $2.6 \Omega/\square$ であり、反りが無い場合よりも却って悪くなっている。これは、歪が大きくなりすぎて $TiSi_2$ 層内に欠陥が発生するためと考えられる。

【0055】図3では、基板全面に $TiSi_2$ 層を形成した場合を示したが、 $TiSi_2$ の微細パターンである場合にも、基板の反りによる圧縮歪の効果は同様と考えられるため、 $TiSi_2$ 微細パターンに対してもシート抵抗の低減が図られると考えられる。

【0056】次に、図5～図7を参照して、本発明の第3の実施例について説明する。シリサイド化を行った後、熱処理を行う前に、 $TiSi_2$ パターンをTEMで観察したところ、線幅の狭い領域で $TiSi_2$ 膜厚が薄いことがわかった。これは、線幅の狭い領域でシリサイド反応が遅くなっているためと考えられる。

【0057】 Ti と Si との反応では、主に Si が拡散種となるが、 Ti も Si 中に拡散する。 Ti 層及び Si 層の少なくとも一方に応力を加えてエネルギー的に不安定にすることにより、相互拡散が促進されることが考えられる。第3の実施例では、シリサイド反応中に Ti 層及び Si 層に応力を加えて歪を生じさせ、シリサイド化を行う。

【0058】第1の実施例では、nチャネルMOSトランジスタの形成を例に説明したが、第3の実施例では、pチャネルMOSトランジスタの形成を例に説明する。図5(A)に示すように、n型シリコン基板1の表面にMOSトランジスタを形成する。形成方法は、図1

(A)に示す第1の実施例と同様である。ただし、MOSトランジスタの導電型が異なるため、Asの代わりに BF_2^+ イオンをドーピングする。例えば、LDD構造形成のために、 BF_2^+ イオンを、加速エネルギー10keV、ドーズ量 $3 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入する。ソース/ドレイン領域形成のためには、 BF_2^+ イオンを、加速エネルギー20keV、ドーズ量 $2 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入する。不純物活性化のためのアニールを1000℃で10秒間行う。

【0059】図5(B)を参照して、第1回目の熱処理までの工程について説明する。低抵抗領域3及びゲート電極2の露出した表面を含む基板全面に Ti 膜5を堆積し、基板1の裏面に Ti 膜9を堆積する。 Ti 膜9の膜厚が Ti 膜5の膜厚よりも十分厚くなるようにする。例えば、 Ti 膜5の膜厚を40nm、 Ti 膜9の膜厚を200nmとする。温度725℃で30秒間、第1回目の熱処理を行う。熱処理は、例えば赤外線ランプを用いたラピッドサーマルアニールにより行う。なお、好ましくは熱処理の温度を650～750℃、より好ましくは650～700℃とし、熱処理時間を30～90秒とする。

【0060】 Ti の熱膨張係数が Si の熱膨張係数よりも大きい場合、裏面の Ti 膜9が表面の Ti 膜5よりも十分厚い場合、基板加熱によって基板1が裏面を外側に反るように反る。基板1の反りにより、 Ti 膜5及び基板1の表面層に圧縮応力が加わり、圧縮歪が生ずる。

【0061】第1回目の熱処理により、低抵抗領域3と Ti 膜5との界面に $TiSi_2$ 層6が形成され、ゲート電極2と Ti 膜5との界面に $TiSi_2$ 層7が形成される。また、基板1の裏面には、 $TiSi_2$ 層10が形成される。 $TiSi_2$ 層6、7及び10は、C49相である。

11

【0062】図5(C)を参照して、第2回目の熱処理までの工程について説明する。第1回目の熱処理で未反応のTi膜5を H_2SO_4 と H_2O_2 とを3:1に混合したエッチング液を使用し、温度70℃で20分間エッチングして除去する。Ti膜9はTi膜5よりも厚いため、その一部は除去されないで残る。

【0063】アルゴン雰囲気中で温度約800℃で30秒間の熱処理を行う。熱処理は、例えばラビッドサーマルアニールにより行う。なお、好ましくは熱処理の温度を800~900℃、より好ましくは800~850℃とする。裏面のTi膜9及びTiSi₂膜10は、Siよりも熱膨張係数が大きいため、800℃に加熱するとTi膜9側の面が外側になるように基板が反る。このときの熱処理温度は図5(B)に示したシリサイド化時の熱処理温度よりも高い。また、表面と裏面のTi膜のエッチング厚さが等しいとすると、表面のTi膜5もしくはTiSi₂層7の厚さに対する裏面のTi膜9及びTiSi₂膜10の合計の厚さの比が、シリサイド化時のそれよりも大きくなっているため、シリサイド化時よりも基板の反り量が大きくなると考えられる。このため、基板1の表側に形成されたTiSi₂層6、7に圧縮応力が加えられ、圧縮歪が生ずる。

【0064】このように、TiSi₂層に圧縮応力を加えて圧縮歪を生じさせ、800℃程度に加熱することにより、TiSi₂層6、7を効率的にC54相に相転移させることができる。

【0065】第2回目の熱処理工程後、シリコン基板1を背面研磨することにより、Ti膜9とTiSi₂層10とを除去すると、基板は元の平坦な状態に復元する。なお、背面研磨の代わりにケミカルエッチングにより除去してもよい。

【0066】上記第3の実施例では、基板の裏面に形成する膜としてTi及びTiSi₂を使用する場合について説明したが、Siよりも熱膨張係数大きいのであればその他の材料を用いてもよい。例えば、TiN、AlN、ZrN、HfN、Co、Ni、Zr、Hf、Ta、Fe、Cr、Mo、W、Pt、NiSi₂、ZrSi₂、HfSi₂、TaSi₂、FeSi₂、CrSi₂、MoSi₂、WSi₂、PtSi₂等を用いてもよい。また、Si以外の基板を用いてもよい。この場合には、図5(C)の工程で基板裏面に形成する膜は、基板よりも大きな熱膨張係数を有する材料とする。

【0067】図6は、第1回目の熱処理工程後のTiSi₂層のシート抵抗とTiSi₂層の線幅との関係を示す。横軸はTiSi₂層の線幅を単位μmで表し、縦軸はシート抵抗を単位Ω/□で表す。図中の記号●は、第3の実施例の方法で形成したTiSi₂層、記号○は、基板の裏面にTi層を形成しない従来方法で形成したTiSi₂層のシート抵抗を示す。

12

【0068】線幅が少なくとも0.25~1μmの範囲で、第3の実施例の場合のシート抵抗が、従来例の場合のシート抵抗よりも約2Ω/□程度小さい。これは、Ti層及びSi表面層の歪によりシリサイド化反応が速く進み、厚いTiSi₂層が形成されているためと考えられる。

【0069】図7は、第2回目の熱処理工程後のTiSi₂層のシート抵抗とTiSi₂層の線幅との関係を示す。横軸、縦軸、及び図中の記号は、図6の場合と同様である。

【0070】線幅が少なくとも0.25~1μmの範囲で、第3の実施例の場合のシート抵抗が、従来例の場合のシート抵抗よりも低い。特に、線幅が0.4μm以下になると、シート抵抗低減効果が著しい。例えば、線幅が0.28μmのとき、第3の実施例の場合のシート抵抗が従来の場合のシート抵抗よりも、約5.5Ω/□程度小さい。第3の実施例の場合には、従来例に比べて厚いTiSi₂層が形成されている上に、TiSi₂層に圧縮歪を生じさせて熱処理を行うため、高抵抗のC49相から低抵抗のC54相への相転移が促進されるためと考えられる。

【0071】第3の実施例では、Ti層及びSi表面層に圧縮歪を生じさせてシリサイド反応を起こさせる場合を説明したが、圧縮歪に限らず伸張歪を生じさせてもエネルギー的に不安定になり、TiとSiの相互拡散が促進されシリサイド反応が促進されることが考えられる。また、Ti以外の他の金属であっても、エネルギー的に不安定な状態で拡散が促進されることが考えられるため、第3の実施例は、Ti以外のシリサイド反応を起こす金属を用いて金属シリサイド層を形成する場合にも適用できるであろう。

【0072】また、第3の実施例では、シリサイド化時に歪を生じさせ、かつ相転移時に圧縮歪を生じさせた場合を説明したが、シリサイド化時に歪を生じさせることにより、より厚いシリサイド層を得ることができるため、シリサイド化時にのみ歪を生じさせてもシート抵抗低減効果があるであろう。

【0073】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0074】

【発明の効果】以上説明したように、本発明によれば、TiSi₂の微細パターンのシート抵抗を低減することができる。また、Ti以外の金属シリサイドの抵抗を低減することができる。これにより、半導体装置の高速化、信頼性向上を図ることが可能になる。

【図面の簡単な説明】

【図1】第1の実施例による半導体装置の製造方法を説明するための基板の断面図である。

13

【図2】第2の実施例による半導体装置の製造方法を説明するための基板の断面図である。

【図3】第1の実施例による方法で作製した TiSi_2 層のシート抵抗を示すグラフである。

【図4】従来例による方法で作製した TiSi_2 パターンのシート抵抗を示すグラフである。

【図5】第3の実施例による半導体装置の製造方法を説明するための基板の断面図である。

【図6】第3の実施例による方法で作製した第1回目熱処理後の TiSi_2 パターンのシート抵抗を示すグラフである。

【図7】第3の実施例による方法で作製した第2回目熱

14

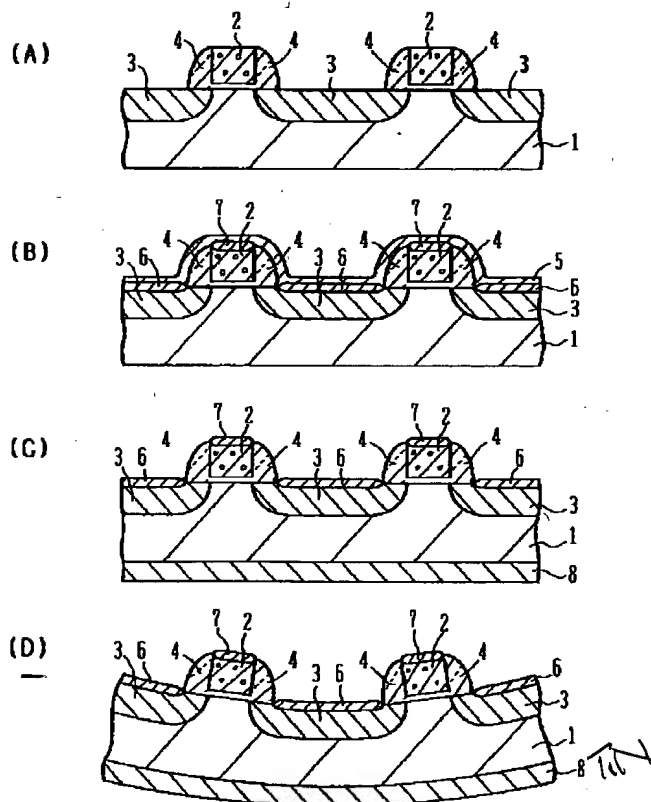
処理後の TiSi_2 パターンのシート抵抗を示すグラフである。

【符号の説明】

- 1 シリコン基板
- 2 ゲート電極
- 3 低抵抗領域
- 4 サイドウォール
- 5 Ti膜
- 6、7、10 TiSi_2 層
- 8 TiN膜
- 9 Ti層
- 11 SiO_2 膜

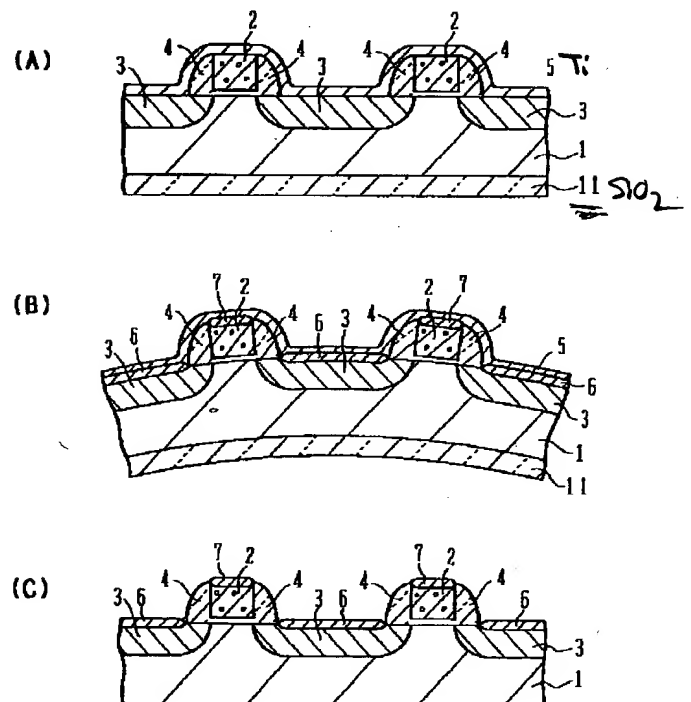
【図1】

第1の実施例



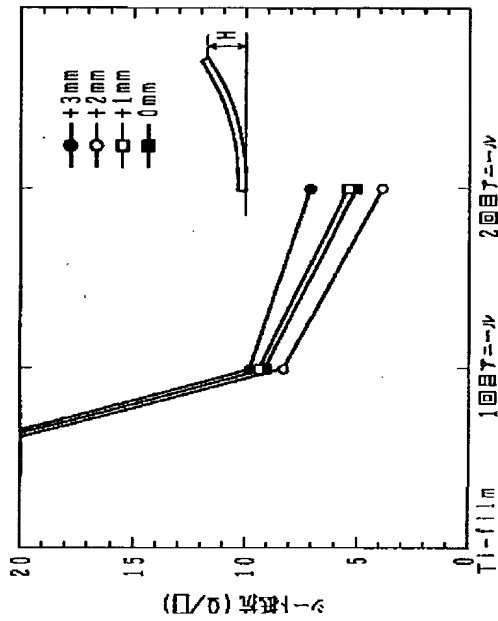
【図2】

第2の実施例



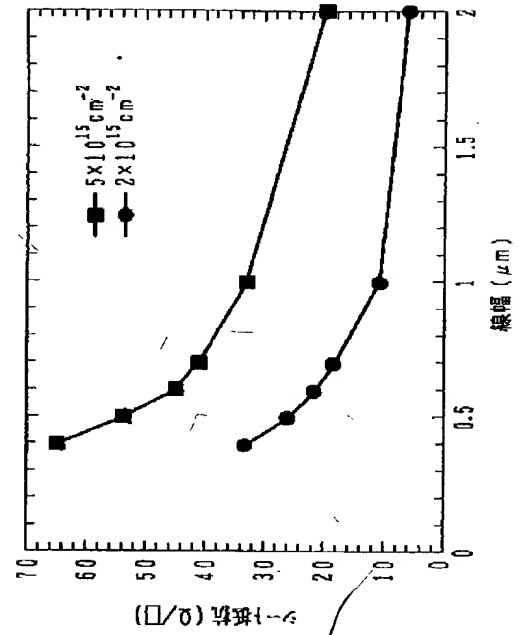
【図3】

第1の実施例によるシート抵抗



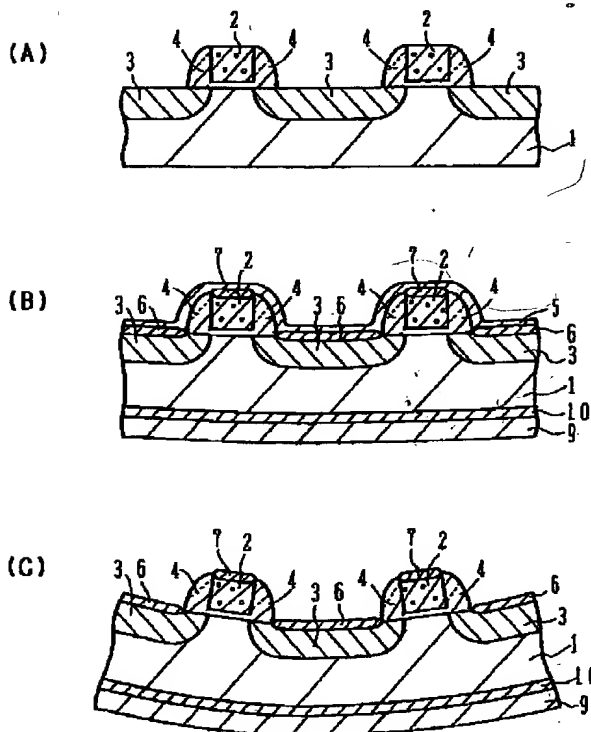
【図4】

従来例によるシート抵抗



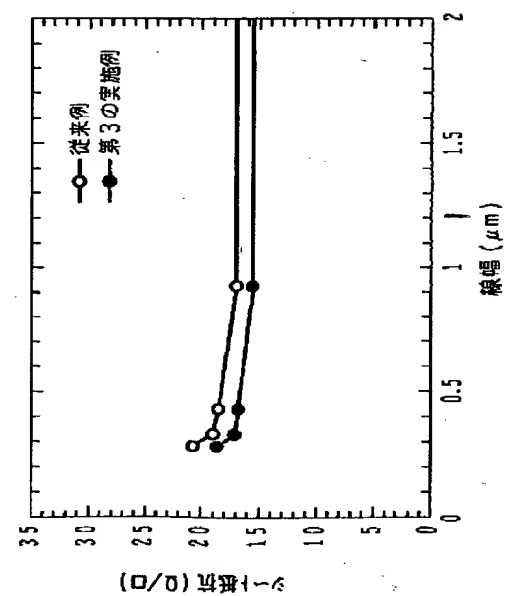
【図5】

第3の実施例



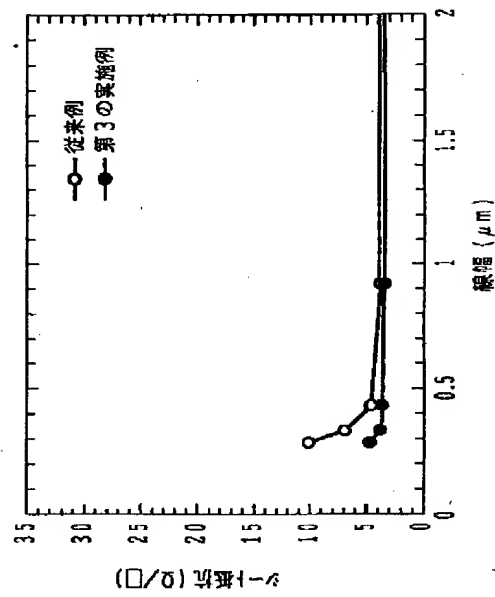
【図6】

第1回目熱処理後のシート抵抗



【図7】

第2回目熱処理後のシート抵抗



(19) 【発行国】 日本国特許庁 (J P)

(19) [Publication Office] Japanese Patent Office (JP)

(12) 【公報種別】 公開特許公報 (A)

(12) [Kind of Document] Japan Unexamined Patent Publication (A)

(11) 【公開番号】 特開平 8 - 1 3 9 0 5 6 |

(11) [Publication Number of Unexamined Application (A)] Japan Unexamined Patent Publication Hei 8 - 139056

(43) 【公開日】 平成 8 年 (1 9 9 6) 5 月 3 1 日

(43) [Publication Date of Unexamined Application] 1996 (1996) May 31 day

(54) 【発明の名称】 T i シリサイド層を有する半導体装置の製造方法

(54) [Title of Invention] POSSESSES TI POLYCIDAL LAYER MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE WHICH

(51) 【国際特許分類第 6 版】

(51) [International Patent Classification 6th Edition]

H01L 21/28 301 T

H01L 21/28 301 T

21/3205

21/3205

【 F I 】

[FI]

H01L 21/88 Q

H01L 21/88 Q

【審査請求】 未請求 |

[Request for Examination] Examination not requested

【請求項の数】 1 2 |

[Number of Claims] 12

【出願形態】 O L

[Form of Application] OL

【全頁数】 1 0

[Number of Pages in Document] 10

(21) 【出願番号】 特願平 7 - 2 3 4 3 9 1 |

(21) [Application Number] Japan Patent Application Hei 7 - 234391

(22) 【出願日】 平成 7 年 (1 9 9 5) 9 月 1 2 日

(22) [Application Date] 1995 (1995) September 12 day

(31) 【優先権主張番号】 特願平 6 - 2 2 2 1 0 8

(31) [Priority Application Number] Japan Patent Application Hei 6 - 222108

(32) 【優先日】 平 6 (1 9 9 4) 9 月 1 6 日

(32) [Priority Date] 1994 (1994) September 16 day

(33) 【優先権主張国】 日本 (J P)

(33) [Priority Country] Japan (JP)

(71) 【出願人】

(71) [Applicant]

【識別番号】 0 0 0 0 0 5 2 2 3

[Applicant Code] 000005223

【氏名又は名称】 富士通株式会社

[Name] FUJITSU LTD. (DB 69-053-5281)

【住所又は居所】 神奈川県川崎市中原区上小田中 1 0 1 5 番地

[Address] Kanagawa Prefecture Kawasaki City Nakahara-ku Kamikodanaka 101 5

(72) 【発明者】

【氏名】川村 和郎

【住所又は居所】神奈川県川崎市中原区上小田中 1 0 1
5 番地 富士通株式会社内

(72) 【発明者】

【氏名】太田 譲

【住所又は居所】神奈川県川崎市中原区上小田中 1 0 1
5 番地 富士通株式会社内

(74) 【代理人】

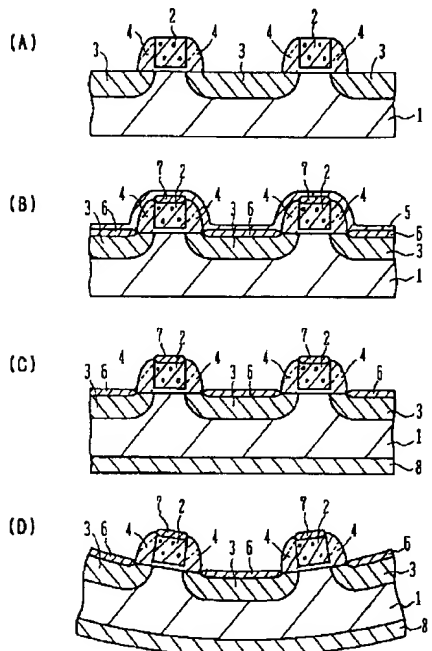
【弁理士】

(57) 【要約】

【課題】 パターン幅の狭い金属シリサイド層のシート抵抗を下げる事が可能な金属シリサイド層の作製技術を提供する。

【解決手段】 上面と下面を有する基板を準備する工程と、前記基板の上面の少なくとも一部の領域にチタンシリサイド層を形成する第 1 の工程と、前記チタンシリサイド層に圧縮歪を加えつつ加熱して、前記チタンシリサイド層を低抵抗化する第 2 の工程とを含む。

第 1 の実施例



(72) [Inventor]

[Name] Kawamura Kazuro

[Address] Inside of Kanagawa Prefecture Kawasaki City Nakahara-ku Kamikodanaka 101 5 Fujitsu Ltd. (DB 69-053-5281)

(72) [Inventor]

[Name] Ota Yuzuru

[Address] Inside of Kanagawa Prefecture Kawasaki City Nakahara-ku Kamikodanaka 101 5 Fujitsu Ltd. (DB 69-053-5281)

(74) [Attorney(s) Representing All Applicants]

[Patent Attorney]

(57) [Abstract]

[Problem] Production technology of metal polycide layer whose sheet resistance of the metal polycide layer where pattern width is narrow is lowered is offered.

[Means of Solution] Step which prepares substrate which possesses upper surface and the bottom surface. first step which forms titanium polycide layer at least in region of portion of the upper surface of aforementioned substrate. While in aforementioned titanium polycide layer including compressive strain heating, it includes with second step which aforementioned titanium polycide layer resistance-lowering is done.

【特許請求の範囲】 |

【請求項 1】 上面と下面を有する基板を準備する工程と、

前記基板の上面の少なくとも一部の領域にチタンシリサイド層を形成する第 1 の工程と、

前記チタンシリサイド層に圧縮歪を生じさせて加熱し、前記チタンシリサイド層を低抵抗化する第 2 の工程とを含む半導体装置の製造方法。

【請求項 2】 前記チタンシリサイド層が、幅が $1\text{ }\mu\text{m}$ 以下の線状部分を含む請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記第 2 の工程が、

前記基板の下面に、前記基板よりも熱膨張係数が高い材料からなる第 1 の膜を 800°C よりも低い温度で形成する工程と、

前記基板を 800°C 以上の温度で熱処理する工程とを含む請求項 1 または 2 に記載の半導体装置の製造方法。

【請求項 4】 前記第 1 の工程の前に、さらに、前記基板の下面に前記基板よりも熱膨張係数が小さい材料からなる第 2 の膜を第 1 の温度で形成する工程を含み、

前記第 1 の工程において、前記第 1 の温度よりも高い第 2 の温度で前記チタンシリサイド層を形成し、

前記第 1 の工程の後、前記第 2 の工程の前に、さらに、前記第 2 の膜を除去する工程を含む請求項 1 ~ 3 のいずれかに記載の半導体装置の製造方法。

【請求項 5】 前記基板が、Si であり、|

前記第 2 の膜が、 SiO_2 である請求項 4 に記載の半導体装置の製造方法。|

【請求項 6】 前記基板が Si であり、

[Claim(s)]

[Claim 1] Step which prepares group plate which possesses upper surface and the bottom surface.

First step which forms titanium polycide layer at least in region of portion of the upper surface of aforementioned substrate.

Causing compressive strain in aforementioned titanium polycide layer, manufacturing method of semiconductor device which includes with second step which it heats, resistance-lowering it does the aforementioned titanium polycide layer.

[Claim 2] Aforementioned titanium polycide layer, manufacturing method of semiconductor device which is stated in the Claim 1 to which width includes linear part amount of $1\text{ }\mu\text{m}$ or less.

[Claim 3] Aforementioned second step,

To bottom surface of aforementioned substrate, step which is formed with low temperature first film which consists of material where the thermal expansion coefficient is large in comparison with aforementioned substrate in comparison with 800°C .

Aforementioned substrate with temperature of 800°C or higher thermal processing the manufacturing method of semiconductor device which is stated in Claim 1 or 2 which includes with the step which is done.

[Claim 4] Before aforementioned first step, furthermore, including step which forms second film which consists of material where thermal expansion coefficient is small to bottom surface of aforementioned substrate in comparison with the aforementioned substrate with first temperature,

Aforementioned titanium polycide layer is formed with high second temperature in the aforementioned first step, in comparison with aforementioned first temperature,

After aforementioned first step and before aforementioned second step, furthermore, manufacturing method of semiconductor device which is stated in any of the Claim 1 to 3 which includes step which removes aforementioned second film.

[Claim 5] Aforementioned substrate, is Si,

Aforementioned second membrane, manufacturing method of semiconductor device which is stated in the Claim 4 which is a SiO_2 .

[Claim 6] Aforementioned substrate is Si,

前記第1の膜が、TiN、AlN、ZrN、HfN、Co、Ti、Ni、Zr、Hf、Ta、Fe、Cr、Mo、W、Pt、TiSi₂、ZrSi₂、HfSi₂、TaSi₂、FeSi₂、CrSi₂、MoSi₂、WSi₂、及びPtSi₂からなる群より選ばれた少なくとも1つのものにより形成されている請求項3～5のいずれかに記載の半導体装置の製造方法。

【請求項7】 少なくとも一部領域にSi表面が露出した基板を準備する工程と、

前記基板の表面上に、Siとシリサイド反応を起こす金属膜を堆積する工程と、

前記基板の表面及び前記金属膜の少なくとも一方に歪を生じさせつつ加熱し、前記Si表面と前記金属膜とを反応させて金属シリサイド層を形成する工程とを含む半導体装置の製造方法。|

【請求項8】 前記Si表面が、幅1μm以下の線状形状の領域を有する請求項7に記載の半導体装置の製造方法。

【請求項9】 前記金属シリサイド層を形成する工程の前に、さらに、

前記基板の表面上に、前記金属シリサイド層を形成する工程における加熱温度よりも低い温度で、前記基板よりも熱膨張係数の大きい材料からなる第1の膜を形成する工程を含む請求項7または8に記載の半導体装置の製造方法。

【請求項10】 前記基板がSi基板であり、

前記第1の膜が、TiN、AlN、ZrN、HfN、Co、Ti、Ni、Zr、Hf、Ta、Fe、Cr、Mo、W、Pt、TiSi₂、ZrSi₂、HfSi₂、TaSi₂、FeSi₂、CrSi₂、MoSi₂、WSi₂、PtSi₂からなる群より選ばれた少なくとも1つのものにより形成されている請求項9に記載の半導体装置の製造方法。

【請求項11】 前記金属膜がTi膜であり、

前記金属シリサイド層を形成する工程の後、さらに、前記金属シリサイド層に圧縮歪を生じさせつつ加熱して前記金属シリサイド層を低抵抗化する工程を含む請求項7～10のいずれかに記載の半導体装置の製造方法。

Aforementioned first film, TiN, AlN, manufacturing method of semiconductor device which is stated in any of Claim 3 to 5 which is formed by those of at least one which is chosen from group which consists of ZrN, HfN, Co, Ti, Ni, the Zr, Hf, Ta, Fe, Cr, Mo, the W, Pt, TiSi₂, ZrSi₂, HfSi₂, TaSi₂, the FeSi₂, CrSi₂, MoSi₂, WSi₂, and PtSi₂.

[Claim 7] Step which prepares substrate which Si surface exposes at least in the part region.

On surface of aforementioned substrate, step which accumulates the metal film which causes Si and polycide reaction.

While doing to cause strain in surface of aforementioned substrate and at least one of aforementioned metal film, manufacturing method of the semiconductor device which includes with step where it heats, reacts with the aforementioned Si surface and aforementioned metal film and forms metal polycide layer.

[Claim 8] Aforementioned Si surface, manufacturing method of semiconductor device which is stated in the Claim 7 which possesses region of linear shape of width 1 μm or less.

[Claim 9] Before step which forms aforementioned metal polycide layer, furthermore,

On back surface of aforementioned substrate, in comparison with heating temperature in step which forms aforementioned metal polycide layer with low temperature, the manufacturing method of semiconductor device which is stated in Claim 7 or 8 which includes the step which forms first film which consists of material where the thermal expansion coefficient is large in comparison with aforementioned substrate.

[Claim 10] Aforementioned substrate is Si substrate,

Aforementioned first film, manufacturing method of semiconductor device which is stated in Claim 9 which is formed by those of at least one which group which consists of TiN, the AlN, ZrN, HfN, Co, Ti, Ni, the Zr, Hf, Ta, Fe, Cr, Mo, the W, Pt, TiSi₂, ZrSi₂, HfSi₂, TaSi₂, the FeSi₂, CrSi₂, MoSi₂, WSi₂ and PtSi₂ depends and is chosen.

[Claim 11] Aforementioned metal film is Ti film,

While after step which forms aforementioned metal polycide layer, furthermore, doing to cause compressive strain in aforementioned metal polycide layer heating, manufacturing method of semiconductor device which is stated in any of the Claim 7 to 10 which includes step which aforementioned metal polycide layer the resistance-lowering is done.

【請求項 12】 前記金属膜が Ti 膜であり、

前記金属シリサイド層を形成する工程の後、さらに、前記金属シリサイド層を形成する工程における加熱温度よりも高い温度で熱処理を行い、前記金属シリサイド層を低抵抗化する工程を含む請求項 9 または 10 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法に関し、特に、金属シリサイドからなる微細パターンを有する半導体装置の製造方法に関する。

【0002】

【従来の技術】 高融点金属シリサイドは、半導体装置のコンタクト材料、ゲート電極、及び配線等に利用されている。金属シリサイドの中でも $TiSi_2$ は室温における抵抗率が $10 \sim 20 \Omega \cdot cm$ と低いこと、熱的、化学的に安定であることから半導体装置に多用されている。

【0003】 $TiSi_2$ には、準安定状態の C49 相と安定状態の C54 相の 2 種類の相があり、(100) あるいは (111) 面 Si 基板表面、ポリシリコンまたはアモルファスシリコン等の上に形成される。C49 相は $700^\circ C$ 以下で形成され、C54 相は $750^\circ C$ 以上で形成される。準安定状態である C49 相は、安定状態である C54 相と比較すると抵抗率が高く、室温で $40 \sim 60 \Omega \cdot cm$ である。

【0004】 以下に、図 1 (A) ～ 図 1 (C) を参照して、MOSFET のソース、ドレイン領域及びゲート電極の表面をシリサイド化する場合を例にとって、従来の $TiSi_2$ 層の作製方法を説明する。なお、図 1 は、後に本発明の実施例の説明においても参照する。

【0005】 図 1 (A) に示すように、p 型シリコン基板 1 の表面上にゲート絶縁膜を介してアモルファスシリコンからなる 2 つのゲート電極 2 が形成されている。それぞれのゲート電極 2 を挟むように、シリコン基板 1 の表面に複数の低抵抗領域 3 が形成されている。各ゲート電極 2 とそれを挟む 2 つの低抵抗領域 3 により MOSFET が構成される。

[Claim 12] Aforementioned metal film is Ti film,

After step which forms aforementioned metal polycide layer, furthermore, the manufacturing method of semiconductor device which is stated in Claim 9 or 10 which includes the step which does thermal processing with high temperature in comparison with the heating temperature in step which forms aforementioned metal polycide layer resistance-lowering it does aforementioned metal polycide layer.

[Description of the Invention]

[0001]

[Technological Field of Invention] This invention regards manufacturing method of semiconductor device, especially, it regards the manufacturing method of semiconductor device which possesses fine pattern which consists of the metal polycide.

[0002]

[Prior Art] High melting point metal polycide, contact material of semiconductor device, is utilized in gate electrode, and metallization etc. Even in metal polycide as for $TiSi_2$ resistance in room temperature 10 to $20 \Omega \cdot cm$ is low, from fact that it is a thermal and a chemically stable it is used in the semiconductor device.

[0003] There is a phase of 2 kinds of C49 phase of metastable state and C54 phase of stable state in $TiSi_2$, (100) or (111) face Si substrate surface, is formed on the polysilicon or amorphous silicon or other. C49 phase is formed with $700^\circ C$ or below, C54 phase is formed with the $750^\circ C$ or higher. As for C49 phase which is a metastable state, when it compares with the C54 phase which is a stable state resistance is high, it is a 40 to $60 \Omega \cdot cm$ with the room temperature.

[0004] Below, referring to Figure 1 (A) to Figure 1 (C), you explain preparation method of conventional $TiSi_2$ layer the source of MOSFET, when to salicided it converts surface of the drain region and gate electrode for example. Furthermore, afterwards at time of explaining Working Example of this invention you refer to Figure 1.

[0005] As shown in Figure 1 (A), through gate insulating film on surface of p-type silicon substrate 1, the 2 gate electrode 2 which consists of amorphous silicon is formed. In order to put between respective gate electrode 2, low resistance region 3 of multiple is formed to surface of silicon substrate 1. MOSFET is formed each gate electrode 2 by 2 low resistance region 3 which puts between that.

【0006】ゲート電極2の側壁から低抵抗領域3表面のゲート電極近傍領域にわたって、絶縁体からなるサイドウォール絶縁体4が形成されている。サイドウォール絶縁体4は、低抵抗領域形成用のイオン注入時のマスクとして使用される。

【0007】図1(B)を参照して、第1回目の熱処理までの工程について説明する。ゲート電極2、低抵抗領域3の露出した表面を含む基板全面にTi膜5を堆積する。次に、温度690℃程度で第1回目の熱処理を行い、TiとSiを反応させる。これにより、低抵抗領域3とTi膜5との界面、及びゲート電極2とTi膜5との界面にそれぞれTiSi₂層6、7が形成される。

【0008】図1(C)を参照して第2回目の熱処理までの工程について説明する。なお、図1(C)のシリコン基板1裏面のTiN膜8は、後述する実施例において形成されるものであり、従来例ではTiN膜8は形成されない。第1回目の熱処理工程後、未反応のTi膜5を除去する。次に、800℃で熱処理を行い、TiSi₂をC49相からC54相に相転移させ、TiSi₂層6、7を低抵抗化する。

【0009】

【発明が解決しようとする課題】従来例による第2回目熱処理工程により、TiSi₂が低抵抗化するが、図1(C)の低抵抗領域3のパターン幅が1μm以下になるとTiSi₂層6のシート抵抗が急激に増加する。

【0010】図4は、TiSi₂層の線幅に対するTiSi₂層のシート抵抗を示す。横軸は線幅を単位μmで表し、縦軸はシート抵抗を単位Ω/□で表す。シート抵抗を測定した試料は、シリコン基板にBF₂⁺イオンをイオン注入して850℃で10分間の熱処理を行ったp型領域の表面にTiSi₂層を形成したものである。図中の記号■は、BF₂⁺を加速エネルギー20keV、ドーズ量5×10¹⁵cm⁻²、記号●は、加速エネルギー20keV、ドーズ量2×10¹⁵cm⁻²の条件でイオン注入してp型領域を形成した場合を示す。

【0011】TiSi₂層の下地が、BF₂⁺のドーズ量2×10¹⁵cm⁻²のp型領域の場合、TiSi₂層の線幅が2μmのとき、シート抵抗は約6Ω/□であり、線幅を1μmとするとシート抵抗はやや上昇し約11Ω

[0006] From sidewall of gate electrode 2 over gate electrode vicinity region of low resistance region 3 surface, sidewall insulator 4 which consists of insulator is formed. sidewall insulator 4 is used as mask at time of ion implantation of low resistance region forming.

[0007] Referring to Figure 1 (B), you explain concerning step of thermal processing of 1st time. Ti film 5 is accumulated in substrate entire surface which includes surface which the gate electrode 2 and low resistance region 3 expose. Next, it does thermal processing of 1st time with temperature 690 °C extent, Ti and the Si reacts. Because of this, interface of low resistance region 3 and Ti film 5, respective TiSi₂ layer 6, 7 is formed to interface of and gate electrode 2 and Ti film 5.

[0008] Referring to Figure 1 (C), you explain concerning step of thermal processing of second. Furthermore, TiN film 8 of silicon substrate 1 back surface of Figure 1 (C) is something which is formed in Working Example which it mentions later, with the Prior Art Example as for TiN film 8 it is not formed. After thermal processing step of 1st time, unreacted Ti film 5 is removed. Next, thermal processing is done with 800 °C, TiSi₂ from C49 phase the phase transition is done in C54 phase, TiSi₂ layer 6, 7 resistance-lowering is done.

[0009]

[Problems to be Solved by the Invention] TiSi₂ resistance lowering does with second thermal processing step due to Prior Art Example, but when the pattern width of low resistance region 3 of Figure 1 (C) becomes 1 μm or less, sheet resistance of the TiSi₂ layer 6 increases suddenly.

[0010] Figure 4 shows sheet resistance of TiSi₂ layer for linewidth of TiSi₂ layer. horizontal axis displays linewidth with unit μm, vertical axis displays the sheet resistance with unit Ω/square. sample which measured sheet resistance, ion implantation doing BF₂⁺ ion in the silicon substrate, is something which formed TiSi₂ layer in surface of p-type region which did thermal processing of 10 min with 850 °C. As for symbol .solid sq. of in the diagram, BF₂⁺ as for acceleration energy 20 keV, dose 5 X 10¹⁵ cm⁻² and symbol .solid circ., ion implantation doing with condition of acceleration energy 20 keV and the dose 2 X 10¹⁵ cm⁻², it shows case where it formed p-type region.

[0011] When substrate of TiSi₂ layer, it is a p-type region of dose 2 X 10¹⁵ cm⁻² of the BF₂⁺, when linewidth of TiSi₂ layer is 2 μm, when sheet resistance is approximately 6 Ω/square, linewidth is designated as 1 μm, sheet resistance rises a little and

／□となる。さらに、線幅を細くするとシート抵抗は急激に増加し、線幅が $0.4\text{ }\mu\text{m}$ のとき約 $34\text{ }\Omega/\square$ となる。

【0012】 TiSi_2 層下地のp型領域のドーザ量が $5 \times 10^{15}\text{ cm}^{-2}$ の場合には、シート抵抗が全体的に高くなり、線幅に対するシート抵抗の変化は同様の傾向を示す。

【0013】半導体装置の高速化を図るためには、配線・電極の抵抗を下げる必要がある。特に、集積度が向上し、微細化が進んだ集積回路では、配線・電極はますます細くなる傾向にある。このため、特に線幅が $1\text{ }\mu\text{m}$ 以下の配線・電極のシート抵抗を下げるが必要となる。

【0014】本発明の目的は、パターン幅の狭い金属シリサイド層のシート抵抗を下げるのが可能な金属シリサイド層の作製技術を提供することである。

【0015】

【課題を解決するための手段】本発明の一観点によると、上面と下面を有する基板を準備する工程と、前記基板の上面の所定領域にチタンシリサイド層を形成する第1の工程と、前記チタンシリサイド層に圧縮歪を加えて加熱して、前記チタンシリサイド層を低抵抗化する第2の工程とを含む半導体装置の製造方法が提供される。

【0016】チタンシリサイドのC54相はC49相よりも密度が高い。従って、チタンシリサイド層に圧縮歪を加えて熱処理することにより、C49相からC54相への相転移が促進されると考えられる。C54相は、C49相よりも抵抗率が低いので、低抵抗化を図ることができる。

【0017】本発明の他の観点によると、前記チタンシリサイド層が、幅 $1\text{ }\mu\text{m}$ 以下の線状部分を含む半導体装置の製造方法が提供される。通常、チタンシリサイド層が線幅 $1\text{ }\mu\text{m}$ 以下の線状パターンである場合に、シート抵抗が高くなる傾向にある。このため、チタンシリサイド層に圧縮歪を加えて熱処理する方法は、チタンシリサイド層が線幅 $1\text{ }\mu\text{m}$ 以下の線状部分を含むときに効果が高い。

becomes approximately $11\text{ }\Omega/\square$. Furthermore, when linewidth is made thin, sheet resistance increases suddenly, when linewidth is $0.4\text{ }\mu\text{m}$, becomes approximately $34\text{ }\Omega/\square$.

【0012】When dose of p-type region of TiSi_2 layer substrate is $5 \times 10^{15}\text{ cm}^{-2}$, the sheet resistance becomes high in entire, as for change of sheet resistance for the linewidth shows similar tendency.

【0013】In order to assure acceleration of semiconductor device, it is necessary to lower the resistance of metallization * electrode. Especially, degree of integration improves, with integrated circuit where narrowing advances, as for metallization * electrode there is a tendency which more and more becomes thin. Because of this, it becomes necessary for especially linewidth to lower sheet resistance of metallization * electrode of $1\text{ }\mu\text{m}$ or less.

【0014】Objective of this invention is to offer production technology of metal polycide layer whose it is possible to lower sheet resistance of metal polycide layer where pattern width is narrow.

【0015】

【Means to Solve the Problems】According to one viewpoint of this invention, step which prepares the group sheet which possesses upper surface and bottom surface. first step which forms titanium polycide layer in specified region of upper surface of the aforementioned substrate. While in aforementioned titanium polycide layer including compressive strain heating, the resistance-lowering is done manufacturing method of semiconductor device which includes with second step which is offered aforementioned titanium polycide layer.

【0016】As for C54 phase of titanium polycide density is high in comparison with C49 phase. Therefore, in titanium polycide layer it is thought that phase transition to C54 phase is promoted from C49 phase, by thermal processing doing including compressive strain. Because resistance is low in comparison with C49 phase, to assure the resistance-lowering it is possible C54 phase.

【0017】According to other viewpoint of this invention, aforementioned titanium polycide layer is offered, manufacturing method of semiconductor device which includes linear part amount of the width $1\text{ }\mu\text{m}$ or less. When usually, titanium polycide layer is linear pattern of linewidth $1\text{ }\mu\text{m}$ or less, there is a tendency where sheet resistance becomes high. Because of this, as for method which thermal processing is done, when the titanium polycide layer includes linear part amount of linewidth $1\text{ }\mu\text{m}$ or less, effect is high in the titanium polycide layer including compressive strain.

【0018】本発明の他の観点によると、前記第2の工程が、前記基板の下面に、前記基板よりも熱膨張係数が大きい材料からなる第1の膜を800℃よりも低い温度で形成する工程と、前記基板を800℃以上の温度で熱処理する工程とを含む半導体装置の製造方法が提供される。

【0019】基板の下面に、基板よりも熱膨張係数の大きい材料からなる膜を形成して加熱すると、基板がその下面を外側にするように反る。このため、基板の上面に形成されたチタンシリサイド層に圧縮歪を加えることができる。800℃以上の温度で熱処理すると、チタンシリサイドをC49相からC54相に効率的に相転移させることができる。

【0020】本発明の他の観点によると、前記第1の工程の前に、さらに、前記基板の下面に前記基板よりも熱膨張係数が小さい材料からなる第2の膜を第1の温度で形成する工程を含み、前記第1の工程において、前記第1の温度よりも高い第2の温度で前記チタンシリサイド層を形成し、前記第1の工程の後、前記第2の工程の前に、さらに、前記第2の膜を除去する工程を含む半導体装置の製造方法が提供される。

【0021】基板の下面に、基板よりも熱膨張係数の小さい材料からなる膜を形成して加熱すると、基板がその上面を外側にするように反る。この状態で基板上面にチタンシリサイド層を形成し、基板裏面の膜を除去して基板の反りを復元することにより、チタンシリサイド層に圧縮歪を加えることができる。

【0022】本発明の他の観点によると、少なくとも一部領域にSi表面が露出した基板を準備する工程と、前記基板の表面上に、Siとシリサイド反応を起こす金属膜を堆積する工程と、前記基板の表面及び前記金属膜の少なくとも一方に歪を生じさせて加熱し、前記Si表面と前記金属膜とを反応させて金属シリサイド層を形成する工程とを含む半導体装置の製造方法が提供される。

[0018] According to other viewpoint of this invention, aforementioned second step, to bottom surface of aforementioned substrate, step which is formed with low temperature first film which consists of material where the thermal expansion coefficient is large in comparison with aforementioned substrate in comparison with 800 °C. manufacturing method of semiconductor device which includes with step which thermal processing is done is offered aforementioned substrate with temperature of the 800 °C or higher.

[0019] Forming film which consists of material where thermal expansion coefficient is large to bottom surface of substrate, in comparison with substrate when it heats, in order for substrate to designate bottom surface as outside, it curves. Because of this, it is possible to add compressive strain to titanium polycide layer which was formed to upper surface of substrate. When thermal processing it does with temperature of 800 °C or higher, titanium polycide from C49 phase phase transition is possible to C54 phase to efficient.

[0020] According to other viewpoint of this invention, To before aforementioned first step, Furthermore, step which forms second film which consists of material where the thermal expansion coefficient is small to bottom surface of aforementioned substrate in comparison with aforementioned substrate with first temperature including, Aforementioned titanium polycide layer is formed with high second temperature in the aforementioned first step, in comparison with aforementioned first temperature, after aforementioned first step and before aforementioned second step, furthermore, manufacturing method of semiconductor device which includes step which removes aforementioned second film is offered.

[0021] Forming film which consists of material where thermal expansion coefficient is small to bottom surface of substrate, in comparison with substrate when it heats, in order for substrate to designate upper surface as outside, it curves. With this state it forms titanium polycide layer in substrate upper surface, removes film of the substrate back surface and it is possible to add compressive strain to titanium polycide layer, by reconstructing warp of substrate.

[0022] According to other viewpoint of this invention, step which prepares the substrate which Si surface exposes at least in part region. On surface of aforementioned substrate, step which accumulates the metal film which causes Si and polycide reaction. Causing strain in surface of aforementioned substrate, and the at least one of aforementioned metal film it heats, aforementioned Si surface and aforementioned metal film reacting, manufacturing method of semiconductor device which includes with step which forms metal polycide layer is offered.

【0023】基板の表面及び金属膜の少なくとも一方に歪を生じさせて加熱すると、シリサイド反応を起こしやすくなる。このため、歪を生じさせない場合に比べて厚い金属シリサイド層を形成し易くなる。

【0024】本発明の他の観点によると、さらに、前記金属シリサイド層を形成する工程の前に、前記基板の裏面上に、前記金属シリサイド層を形成する工程における加熱温度よりも低い温度で、前記基板よりも熱膨張係数の大きい材料からなる第1の膜を形成する工程を含む半導体装置の製造方法が提供される。

【0025】第1の膜を形成した後シリサイド反応時に、第1の膜形成時の温度よりも高温で熱処理するため、基板がその裏面側を外側にするように反る。このため、基板表面の金属膜に圧縮応力が印加され、圧縮歪が生ずる。

【0026】

【発明の実施の形態】 $TiSi_2$ 層のパターンが細くなった場合に熱処理を行っても低抵抗化しない原因を探索するために、線幅が $0.5\mu m$ と $2.0\mu m$ の $TiSi_2$ パターンを透過型電子顕微鏡(TEM)により観察した。

【0027】その結果、線幅が狭くなると $TiSi_2$ パターンのうち約半分の領域がC49相のままであり、C54相に相転移していないことがわかった。このため、線幅が狭くなると $TiSi_2$ パターンのシート抵抗が上昇するものと考えられる。

【0028】また、基板全面に形成されたC49相の $TiSi_2$ 膜と線幅 $0.5\mu m$ のC49相の $TiSi_2$ パターンの格子定数をX線回折により測定したところ、基板全面に形成した $TiSi_2$ 膜は 0.0079 程度の圧縮歪を受けている一方、 $0.5\mu m$ 線幅の $TiSi_2$ パターンはほとんど圧縮歪を受けていないことがわかった。

【0029】C49相からC54相へ相転移するとき、 $TiSi_2$ の体積は約5%小さくなる。このため、圧縮歪を受けているとC49相からC54相への相転移が促進されるものと考えられる。このことから、線幅が細

[0023] Causing distortion in surface of substrate, and at least one of the metal film when it heats, polycide reaction becomes easy to happen. Because of this, it is likely to form thick metal polycide layer in comparison with when distortion is not caused.

[0024] According to other viewpoint of this invention, further more, before the step which forms aforementioned metal polycide layer, on back surface of the aforementioned substrate, with low temperature, manufacturing method of semiconductor device which includes step which forms first film which consists of material where thermal expansion coefficient is large in comparison with aforementioned substrate is offered in comparison with heating temperature in step which forms the aforementioned metal polycide layer.

[0025] After forming first membrane, at time of polycide reaction, in order the thermal processing to do with high temperature in comparison with temperature at time of the first film formation, in order for substrate to designate back side as outside, it curves. Because of this, compressive stress applying is done in metal film of the substrate surface, compressive strain occurs.

[0026]

[Embodiment of Invention] Doing thermal processing when pattern of $TiSi_2$ layer becomes thin, in order to search cause which resistance-lowering is not done, linewidth observed the $TiSi_2$ pattern of $0.5\mu m$ and $2.0\mu m$ with transmission electron microscope (TEM).

[0027] As a result, when linewidth becomes narrow, region of inside approximately half of $TiSi_2$ pattern continued to be C49 phase, what the phase transition has not been done understood in C54 phase. Because of this, when linewidth becomes narrow, it is thought the thing where sheet resistance of $TiSi_2$ pattern rises.

[0028] In addition, when lattice constant of $TiSi_2$ pattern of C49 phase of $TiSi_2$ film and linewidth $0.5\mu m$ of C49 phase which was formed to substrate entire surface was measured due to X-ray diffraction, as for $TiSi_2$ film which was formed in the substrate entire surface although compressive strain of 0.0079 extent is received as for $TiSi_2$ pattern of the $0.5\mu m$ linewidth it understood that compressive strain is not received for most part.

[0029] When from C49 phase phase transition doing to C54 phase, volume of the $TiSi_2$ approximately becomes 5% small. Because of this, when compressive strain is received, it is thought thing where phase transition to C54 phase is promoted

、 TiSi_2 パターンに圧縮歪を与えて熱処理を行うことにより、C54相への相転移が促進され、低抵抗化が図られると考えられる。

【0030】以下、図1を参照して、第1の実施例について、nチャネルMOSFETの低抵抗領域の表面、及びゲート電極の上面をサリサイド化する場合を例にとつて説明する。

【0031】図1(A)を参照してMOSFET形成までの工程について説明する。図1は、2つのMOSFETのそれぞれの1つの電流端子が相互に接続されている構成を示している。

【0032】p型シリコン基板1の表面を熱酸化してゲート絶縁膜を形成し、このゲート絶縁膜上にCVDにより厚さ200nmのアモルファスシリコン膜を堆積する。このアモルファスシリコン膜にPを加速エネルギー20keV、ドーズ量 $4 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入し、パターニングしてゲート電極2を形成する。LDD構造形成のため、ゲート電極2をマスクとしてAsを加速エネルギー10keV、ドーズ量 $3 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入する。

【0033】次に、原料ガスとして SiH_2Cl_2 と N_2O を使用し、基板温度800℃でCVDにより厚さ150nmの SiO_2 膜を形成し、続いてリアクティブイオンエッチング(RIE)により、この SiO_2 膜を異方性エッチングしてサイドウォール絶縁体4を形成する。

【0034】ゲート電極2とサイドウォール絶縁体4をマスクとして低抵抗領域形成用のイオン注入を行う。例えば、Asを加速エネルギー30keV、ドーズ量 $2 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入する。窒素雰囲気中で温度800℃として10分間の熱処理を行い、イオン注入された不純物を活性化して低抵抗領域3を形成する。低抵抗領域3はソースあるいはドレイン領域となる。熱処理後、低抵抗領域3表面の酸化膜を除去する。

【0035】図1(B)を参照して、第1回目の熱処理までの工程について説明する。低抵抗領域3及びゲート電極2の露出した表面を含む基板全面にTi膜5を堆積する。温度690℃で90秒間、第1回目の熱処理を行う。熱処理は、例えば赤外線ランプを用いたラピッドサーマルアニールにより行う。なお、好ましくは熱処理の温度を650～750℃、より好ましくは650～700℃とし、熱処理時間を30～90秒とする。

from C49 phase. From this, giving compressive strain to TiSi_2 pattern where linewidth is thin, phase transition to C54 phase is promoted by doing thermal processing, it is thought that resistance-lowering is assured.

[0030] Below, referring to Figure 1, concerning first Working Example, surface of the low resistance region of n channel MOSFET, you explain case where to salicided it converts top surface of and gate electrode for example.

[0031] Referring to Figure 1 (A), you explain concerning step to MOSFET formation. Figure 1 has shown constitution where current terminal of respective one of 2 MOSFET is connected mutually.

[0032] Thermal oxidation doing surface of p-type silicon substrate 1, it forms gate insulating film, it accumulates amorphous silicon film of thickness 200 nm on this gate insulating film with CVD. In this amorphous silicon film ion implantation it does P with condition of acceleration energy 20 keV and dose $4 \times 10^{15} \text{ cm}^{-2}$, patterning does and forms gate electrode 2. Because of LDD structure formation, As ion implantation is done with condition of the acceleration energy 10 keV and dose $3 \times 10^{13} \text{ cm}^{-2}$ with gate electrode 2 as mask.

[0033] Next, you use SiH_2Cl_2 and N_2O as starting material gas, you form SiO_2 film of thickness 150 nm with substrate temperature 800 °C with CVD, anisotropic etching doing this SiO_2 film continuously with reactive ion etching (RIE), you form sidewall insulator 4.

[0034] Ion implantation of low resistance region forming is done with gate electrode 2 and sidewall insulator 4 as the mask. for example As ion implantation is done with condition of acceleration energy 30 keV and dose $2 \times 10^{15} \text{ cm}^{-2}$. thermal processing of 10 min is done in nitrogen atmosphere as temperature 800 °C, impurity which ion implantation is done is activated and low resistance region 3 is formed. low resistance region 3 becomes source or drain region. After thermal processing, oxidized film of low resistance region 3 surface is removed.

[0035] Referring to Figure 1 (B), you explain concerning step to thermal processing of 1st time. Ti film 5 is accumulated in substrate entire surface which includes surface which the low resistance region 3 and gate electrode 2 expose. thermal processing of 90 second and 1st time is done with temperature 690 °C. It does thermal processing, with Rapid thermal anneal which uses for example infrared lamp. Furthermore, temperature of preferably thermal processing is designated as the 650 to 750 °C and more preferably 650 to 700 °C, heat treatment time is designated as 30 to 90 second.

【0036】第1回目の熱処理により、低抵抗領域3とTi膜5との界面にTiSi₂層6が形成され、ゲート電極2とTi膜5との界面にTiSi₂層7が形成される。TiSi₂層6、7は、C49相である。

【0037】図1(C)を参照して、シリコン基板1の裏面にTiN膜を形成するまでの工程について説明する。第1回目の熱処理で未反応のTi膜5をNH₄OHとH₂O₂とH₂Oを1:1:2に混合したエッチング液を使用し、温度70℃で90秒間エッチングして除去する。

【0038】次に、シリコン基板1の裏面にArとN₂の混合雰囲気中でTiターゲットを用いた反応性スパッタにより、基板温度が室温の条件で厚さ100μmのTiN膜8を堆積する。TiN膜8の堆積は、後の第2回目の熱処理の温度よりも低い温度で行う必要がある。

【0039】図1(D)を参照して、第2回目の熱処理工程について説明する。シリコン基板1の裏面にTiN膜8を堆積後、窒素雰囲気中で温度約800℃で30秒間の熱処理を行う。熱処理は、例えばラピッドサーマルアニールにより行う。なお、好ましくは熱処理の温度を800~900℃、より好ましくは800~850℃とする。TiNは、Siよりも熱膨張係数が大きいので、800℃に加熱するとTiN膜8側の面が外側になるように基板が反る。このため、基板1の表側に形成されたTiSi₂層6、7には、圧縮応力が加えられ、圧縮歪が生ずる。

【0040】このように、TiSi₂層に圧縮歪を生じさせて800℃程度に加熱することにより、TiSi₂層6、7を効率的にC54相に相転移させることができる。第2回目の熱処理工程後、シリコン基板1を背面研磨することにより、TiN膜8を除去する。TiN膜8を除去すると、基板は元の平坦な状態に復元する。なお、背面研磨の代わりにケミカルエッチングによりTiN膜8を除去してもよい。

【0041】上記第1の実施例では、基板の裏面に形成する膜としてTiNを使用する場合について説明したが、Siよりも熱膨張係数が大きいものであればその他の材料を用いてもよい。例えば、AlN、ZrN、HfN等を用いてもよい。また、Si以外の基板を用いてもよい。この場合には、図1(C)の工程で基板裏面に形成する膜は、基板よりも大きな熱膨張係数を有する材料と

[0036] By heat treatment of 1st time, TiSi₂ layer 6 is formed by the interface of low resistance region 3 and Ti film 5, TiSi₂ layer 7 is formed to the interface of gate electrode 2 and Ti film 5. TiSi₂ layer 6, 7 is C49 phase.

[0037] Referring to Figure 1 (C), until it forms TiN film in back surface of the silicon substrate 1, you explain concerning step. With thermal processing of 1st time unreacted Ti film 5 you use etching liquid which mixes the NH₄ OH and H₂O₂ and H₂O to 1:1:2, 90 second etching do with the temperature 70 °C and remove.

[0038] Next, substrate temperature accumulates TiN film 8 of thickness 100 μm with condition of the room temperature with reactive sputtering which uses Ti target for back surface of the silicon substrate 1 in blended atmosphere of Ar and N₂. Accumulation of TiN film 8 has necessity to do with low temperature in comparison with temperature of thermal processing of second after.

[0039] Referring to Figure 1 (D), you explain concerning thermal processing step of second. In back surface of silicon substrate 1 TiN film 8 after accumulating and in the nitrogen atmosphere thermal processing of 30 second is done with temperature approximately 800 °C. It does thermal processing, with for example Rapid thermal anneal. Furthermore, temperature of preferably thermal processing is designated as the 800 to 900 °C and more preferably 800 to 850 °C. As for TiN, because thermal expansion coefficient is large in comparison with the Si, when it heats to 800 °C, in order for surface of TiN film 8 side to become outside, substrate curves. Because of this, it can add to TiSi₂ layer 6, 7 which was formed to front side of substrate 1, compressive stress, compressive strain occurs.

[0040] This way, causing compressive strain in TiSi₂ layer, TiSi₂ layer 6, 7 the phase transition is possible to efficient to C54 phase by heating to 800 °C extent. TiN film 8 is removed after thermal processing step of second, by back surface grinding silicon substrate 1. When TiN film 8 is removed, it reconstructs substrate to original flat state. Furthermore, it is possible in place of back surface grinding to remove TiN film 8 with chemical etching.

[0041] With above-mentioned first Working Example, you explained concerning when the TiN is used as film which is formed in back surface of substrate, but if it is something where thermal expansion coefficient is large in comparison with the Si, making use of other material it is good. Making use of for example AlN, ZrN and HfN etc it is good. In addition, making use of group sheet other than Si it is good. In this case, film which

する必要がある。

【0042】次に、第2の実施例について、第1の実施例と同様にMOSFETの低抵抗領域の表面、及びゲート電極の上面をサリサイド化する場合を例にとって説明する。

【0043】図1(A)に示すように、MOSFETが形成された基板を準備する。MOSFETは、第1の実施例と同様の方法で作製される。図2(A)に示すように、低抵抗領域3及びゲート電極2の露出した表面を含む基板全面にTi膜5を堆積する。シリコン基板1の裏面に反応ガスとしてSiH₄とO₂を使用し、ECR(電子サイクロトロン共鳴)を用いたプラズマCVDにより、基板温度約300°Cで厚さ100μmのSiO₂膜11を堆積する。なお、約100分程度で厚さ100μmの膜を堆積することができる。SiO₂膜の堆積は、後の第1回目の熱処理の温度よりも低い温度で行う必要がある。

【0044】図2(B)を参照して、第1回目の熱処理工程について説明する。基板を690°Cとして90秒間、第1回目の熱処理を行う。熱処理は、例えば、ラピッドサーマルアニールにより行う。なお、好ましくは熱処理の温度を650~750°C、より好ましくは650~700°Cとし、熱処理時間を30~90秒とする。SiO₂の熱膨張係数は、Siのそれよりも小さいため、690°Cに加熱するとSiO₂膜11側の面が内側になるように基板が反る。この状態で、低抵抗領域3とTi膜5との界面にTiSi₂層6が形成され、ゲート電極2とTi膜5との界面にTiSi₂層7が形成される。

【0045】図2(C)を参照して、第2回目の熱処理までの工程について説明する。第1回目の熱処理工程後、基板を室温まで冷却し、背面研磨によりSiO₂膜11を除去する。未反応のTi膜5をNH₄OHとH₂OとH₂Oを1:1:2に混合したエッチング液を使用し、温度70°Cで90秒間エッチングして除去する。SiO₂膜11を除去すると基板の反りは復元するため、TiSi₂層6、7に圧縮歪が加えられる。この状態で基板を800°C程度に加熱して30秒間、第2回目の熱処理を行う。なお、好ましくは熱処理の温度を800~900°C、より好ましくは800~850°Cとする。このようにして、第1の実施例と同様にTiSi₂層6、7に圧縮歪を加えた状態で熱処理を行うことができる。

with step of Figure 1 (C) is formed in the substrate back surface has necessity to make material which possesses big thermal expansion coefficient in comparison with substrate.

[0042] In same way as first Working Example surface of low resistance region of MOSFET, the case where to salicided it converts top surface of and the gate electrode is explained for example next, concerning second Working Example.

[0043] As shown in Figure 1 (A), substrate where MOSFET was formed is prepared. MOSFET is produced with method which is similar to first Working Example. As shown in Figure 2 (A), Ti film 5 is accumulated in substrate entire surface which includes surface which low resistance region 3 and gate electrode 2 expose. SiH₄ and O₂ are used for back surface of silicon substrate 1 as the reactive gas, SiO₂ film 11 of thickness 100 μm is accumulated with substrate temperature approximately 300 °C with plasma CVD which uses ECR (electron cyclotronic resonance). Furthermore, membrane of thickness 100 μm can be accumulated with approximately 100 min extent. Accumulation of SiO₂ film has necessity to do with low temperature in comparison with temperature of thermal processing of 1st time after.

[0044] Referring to Figure 2 (B), you explain concerning thermal processing step of 1st time. thermal processing of 90 second and 1st time is done with substrate as the 690 °C. It does thermal processing, with for example Rapid thermal anneal. Furthermore, temperature of preferably thermal processing is designated as the 650 to 750 °C and more preferably 650 to 700 °C, heat treatment time is designated as 30 to 90 second. As for thermal expansion coefficient of SiO₂, because it is small in comparison with that of Si, when it heats to 690 °C, in order for the surface of SiO₂ film 11 side to become inside, substrate curves. With this state, TiSi₂ layer 6 is formed by interface of the low resistance region 3 and Ti film 5, TiSi₂ layer 7 is formed to interface of the gate electrode 2 and Ti film 5.

[0045] Referring to Figure 2 (C), you explain concerning step of thermal processing of second. After thermal processing step of 1st time, substrate is cooled to room temperature, the SiO₂ film 11 is removed with back surface grinding. unreacted Ti film 5 you use etching liquid which mixes NH₄ OH and H₂O and the H₂O to 1:1:2, 90 second etching do with temperature 70 °C and remove. When SiO₂ film 11 is removed, as for warp of substrate in order to reconstruct, it can add to TiSi₂ layer 6, 7 compressive strain. Heating substrate to 800 °C extent with this state, it does thermal processing of the 30 second and second. Furthermore, temperature of preferably thermal processing is designated as the 800 to 900 °C and more preferably 800 to 850 °C. This way, it is possible to do

【0046】上記第2の実施例では、Si基板を使用した場合について説明したがSi以外の基板を使用してもよい。この場合、図2(A)の工程で基板の裏面に堆積する膜は、基板よりも熱膨張係数が小さい材料とする必要がある。

【0047】また、図2(C)に示す第2回目の熱処理工程の前に、上記第1の実施例で説明したように、基板の裏面にTiN膜を形成してもよい。第2回目の熱処理工程の前にTiN膜を形成することにより、さらに大きな圧縮歪を加えることができる。

【0048】また、上記第2の実施例では、第1回目の熱処理の温度を650~700℃とし、C49相のTiSi₂層を形成する場合について説明したが、700℃以上の温度としてもよい。700℃以上で熱処理することにより、第1回目の熱処理において、TiSi₂層の一部を密度の高いC54相とすることができる。従って、第2回目の熱処理時に加わる圧縮歪がより大きくなることが期待される。

【0049】次に、図3を参照して上記第1の実施例によりTiSi₂層を形成した場合のTiSi₂層のシート抵抗を、従来例により形成した場合と比較して説明する。図3は、第1回目及び第2回目の熱処理後のTiSi₂層のシート抵抗を示す。横軸は時間軸で、熱処理前、第1回目及び第2回目の熱処理後の状態を表し、縦軸は、シート抵抗を単位Ω/□で表す。なお、図1では、MOSFETのソース/ドレイン領域、及びゲート電極の上面に微細なTiSi₂パターンを形成する場合を示したが、図3は、表面にAsを加速エネルギー30keV、ドーズ量 $2 \times 10^{14} \text{ cm}^{-2}$ の条件でイオン注入を行い、1000℃で10秒間の活性化アニールを行ってn型領域が形成されたシリコン基板の全面に形成したTiSi₂層のシート抵抗を示す。

【0050】シート抵抗の測定は、第2回目の熱処理工程における基板の反りの程度が異なる3種類の試料及び反りが無い試料について行った。ここで、反りの程度は、反っている基板の外側の面が、その縁上の一点で平面に接するように配置したとき、平面に接している点の基板中心に関する対称点の平面からの高さHで表すこととした。なお、使用した基板は、4インチ径のものである

thermal processing with state which adds the compressive strain to TiSi₂ layer 6, 7 in same way as first Working Example.

[0046] With above-mentioned second Working Example, you explained concerning when the Si substrate is used, but it is possible to use group sheet other than the Si. In this case, film which with step of Figure 2 (A) is accumulated in back surface of substrate has necessity to make the material where thermal expansion coefficient is small in comparison with substrate.

[0047] In addition, as before thermal processing step of second which is shown in the Figure 2 (C), explained with above-mentioned first Working Example, it is possible to the back surface of substrate to form TiN film. Furthermore it is possible by forming TiN film before thermal processing step of the second, to add big compressive strain.

[0048] In addition, with above-mentioned second Working Example, it designated temperature of thermal processing of 1st time as 650 to 700 °C, it explained concerning when TiSi₂ layer of C49 phase is formed, but it is possible as temperature of 700 °C or higher. Portion of TiSi₂ layer can be designated as C54 phase where the density is high by thermal processing doing, in thermal processing of 1st time with the 700 °C or higher. Therefore, compressive strain which joins at time of thermal processing of second is expected more becoming large.

[0049] Next, referring to Figure 3, you explain by comparison with case where it formed sheet resistance of TiSi₂ layer when it formed TiSi₂ layer with above-mentioned first Working Example, with Prior Art Example. Figure 3 shows sheet resistance of TiSi₂ layer after thermal processing of 1st time and second. horizontal axis with time axis, displays state after thermal processing of the before heat treatment, 1st time and second, vertical axis displays sheet resistance with the unit /square. Furthermore, with Figure 1, source/drain region of MOSFET, the case where microscopic TiSi₂ pattern is formed in upper surface of and gate electrode was shown, but Figure 3, in surface As does ion implantation with the condition of acceleration energy 30 keV and dose $2 \times 10^{14} \text{ cm}^{-2}$, does activating annealing of 10 second with the 1000 °C and shows sheet resistance of TiSi₂ layer which was formed in the entire surface of silicon substrate where n-type region was formed.

[0050] Sheet resistance it measured, concerning sample of 3 kinds where the extent of warp of substrate in thermal processing step of second differs and the sample which is not warp. Here, extent of warp in order aspect of outside of the substrate which has curved, to touch to plane in point on that edge, when arranging, to display with height H from plane of symmetry point regarding substrate center of point which is

。図中の記号□、□、○、○は、それぞれ反りの程度Hが0mm、1mm、2mm、3mmのときのシート抵抗を示す。

【0051】基板の反りの程度Hの大きさは、第1の実施例においては、図1(C)に示すTiN膜8のスパッタ時の基板温度等の成膜条件、あるいは膜厚等を変えることにより制御することができる。また、第2の実施例においては、図2(B)に示すSiO₂膜11のCVDの成膜条件、あるいは膜厚等を変えればよい。

【0052】Ti層のシート抵抗は、約40Ω/□であり、第1回目の熱処理を行いシリサイド化することにより、シート抵抗は急激に減少する。第1回目の熱処理後のシート抵抗は、8~10Ω/□である。第1回目の熱処理までは各試料の作製条件に差はないため、試料毎のシート抵抗の差は、作製条件のバラツキによるものと考えられる。

【0053】第2回目の熱処理を行うと、シート抵抗はさらに低下する。反りが無い場合及び反りの程度Hが1mmの場合には、シート抵抗の低下分は約3.9Ω/□であるのに対し、反りの程度Hが2mmの場合には約4.3Ω/□である。このように、反りの程度Hが2mmになるように基板を反らせ、TiSi₂層に圧縮歪を加えて熱処理を行うことにより、TiSi₂層のシート抵抗をより低下させることができる。

【0054】反りの程度Hが3mmのときは、第2回目の熱処理によるシート抵抗の低下分は約2.6Ω/□であり、反りが無い場合よりも却って悪くなっている。これは、歪が大きくなりすぎてTiSi₂層内に欠陥が発生するためと考えられる。

【0055】図3では、基板全面にTiSi₂層を形成した場合を示したが、TiSi₂の微細パターンである場合にも、基板の反りによる圧縮歪の効果は同様と考えられるため、TiSi₂微細パターンに対してもシート抵抗の低減が図られると考えられる。

【0056】次に、図5~図7を参照して、本発明の第3の実施例について説明する。シリサイド化を行った後、熱処理を行う前に、TiSi₂パターンをTEMで観察したところ、線幅の狭い領域でTiSi₂膜厚が薄いことがわかった。これは、線幅の狭い領域でシリサイド反応が遅くなっているためと考えられる。

touching to plane. Furthermore, substrate which is used is something of the 4 inch diameter. signal .sq. of in the diagram, .solid sq., .circ. and .solid circ., when the extent H of respective warp mm, 1 mm, 2 mm and the 3 mm, show sheet resistance.

[0051] It can control size of extent H of warp of substrate, by changing substrate temperature or other film formation condition or film thickness etc at time of sputter of the TiN film 8 which is shown in Figure 1 (C) regarding first Working Example. In addition, film formation condition or film thickness etc of CVD of SiO₂ film 11 which is shown in Figure 2 (B) regarding second Working Example, should have been changed.

[0052] Sheet resistance of Ti layer is approximately 40 /square, it does thermal processing of the 1st time and it decreases sheet resistance suddenly to silicide by converting. sheet resistance after thermal processing of 1st time is 8 to 10 /square. To thermal processing of 1st time as for difference because it is not, as for difference of sheet resistance every of sample, it is thought thing due to the variation of preparation condition in preparation condition of each sample.

[0053] When heat treatment of second is done, sheet resistance furthermore decreases. When a warp is not when and extent H of warp is 1 mm, decrease amount of sheet resistance when extent H of warp is 2 mm is vis-a-vis being approximately 3.9 /square, is approximately 4.3 /square. This way, in order for extent H of warp to become 2 mm, bend substrate, from sheet resistance of TiSi₂ layer it can decrease in TiSi₂ layer by doing heat treatment including compressive strain.

[0054] When extent H of warp is 3 mm, decrease amount of the sheet resistance due to heat treatment of second it is approximately 2.6 /square, it has become bad rather in comparison with when there is not a warp. This, distortion becoming too large, is thought for sake of the defect occurs in TiSi₂ intralayer.

[0055] With Figure 3, case where TiSi₂ layer was formed in substrate entire surface was shown, but when it is a fine pattern of TiSi₂ even, as for effect of the compressive strain due to warp of substrate because it is thought, that it is similar, it is thought that decrease of sheet resistance is assured vis-a-vis the TiSi₂ fine pattern.

[0056] Next, referring to Figure 5 to Figure 7, you explain concerning Working Example of the 3rd of this invention. After converting polycide, before doing thermal processing, when TiSi₂ pattern is observed with TEM, it is understood that TiSi₂ film thickness is thin with the region where linewidth is narrow. This is thought for sake of polycide reaction becomes slow with the region where linewidth is narrow.

【0057】TiとSiとの反応では、主にSiが拡散種となるが、TiもSi中に拡散する。Ti層及びSi層の少なくとも一方に応力を加えてエネルギー的に不安定にすることにより、相互拡散が促進されと考えられる。第3の実施例では、シリサイド反応中にTi層及びSi層に応力を加えて歪を生じさせ、シリサイド化を行う。

【0058】第1の実施例では、nチャネルMOSトランジスタの形成を例に説明したが、第3の実施例では、pチャネルMOSトランジスタの形成を例に説明する。図5(A)に示すように、n型シリコン基板1の表面にMOSトランジスタを形成する。形成方法は、図1(A)に示す第1の実施例と同様である。ただし、MOSトランジスタの導電型が異なるため、Asの代わりにBF₂⁺イオンをドーピングする。例えば、LDD構造形成のために、BF₂⁺イオンを、加速エネルギー10keV、ドーズ量 $3 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入する。ソース/ドレイン領域形成のためには、BF₂⁺イオンを、加速エネルギー20keV、ドーズ量 $2 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入する。不純物活性化のためのアニールを1000℃で10秒間行う。

【0059】図5(B)を参照して、第1回目の熱処理までの工程について説明する。低抵抗領域3及びゲート電極2の露出した表面を含む基板全面にTi膜5を堆積し、基板1の裏面にTi膜9を堆積する。Ti膜9の膜厚がTi膜5の膜厚よりも十分厚くなるようにする。例えば、Ti膜5の膜厚を40nm、Ti膜9の膜厚を200nmとする。温度725℃で30秒間、第1回目の熱処理を行う。熱処理は、例えば赤外線ランプを用いたラピッドサーマルアニールにより行う。なお、好ましくは熱処理の温度を650～750℃、より好ましくは650～700℃とし、熱処理時間を30～90秒とする。

【0060】Tiの熱膨張係数がSiの熱膨張係数よりも大きいため、裏面のTi膜9が表面のTi膜5よりも十分厚い場合、基板加熱によって基板1が裏面を外側に反るように反る。基板1の反りにより、Ti膜5及び基板1の表面層に圧縮応力が加わり、圧縮歪が生ずる。

【0061】第1回目の熱処理により、低抵抗領域3とTi膜5との界面にTiSi₂層6が形成され、ゲート電極2とTi膜5との界面にTiSi₂層7が形成され

[0057] With reaction with Ti and Si, Si becomes scattering kind mainly, but scattering it does also Ti in Si. It is thought that mutual diffusion is promoted in at least one of Ti layer and the Si layer by making energy unstable including stress. With Working Example of 3rd, during polycide reacting doing to cause the distortion in Ti layer and Si layer including stress, it converts polycide.

[0058] With first Working Example, formation of n channel MOS transistor was explained to example, but with Working Example of 3rd, formation of p channel MOS transistor is explained to example. As shown in Figure 5 (A), MOS transistor is formed in surface of n-type silicon substrate 1. formation method is similar to first Working Example which is shown in Figure 1 (A). However, because conduction type of MOS transistor differs, BF₂⁺ ion doped is done in place of As. Because of for example LDD structure formation, BF₂⁺ ion, ion implantation is done with condition of the acceleration energy 10 keV and dose $3 \times 10^{13} \text{ cm}^{-2}$. For source/drain region formation, BF₂⁺ ion, ion implantation is done with condition of the acceleration energy 20 keV and dose $2 \times 10^{15} \text{ cm}^{-2}$. anneal for impurity activation 10 second is done with 1000 °C.

[0059] Referring to Figure 5 (B), you explain concerning step to heat treatment of 1st time. Ti film 5 is accumulated in substrate entire surface which includes surface which the low resistance region 3 and gate electrode 2 expose, Ti film 9 is accumulated in back surface of substrate 1. film thickness of Ti film 9 tries to become fully thick in comparison with film thickness of Ti film 5. film thickness of for example Ti film 5 film thickness of 40 nm and Ti film 9 is designated as 200 nm. heat treatment of 30 second and 1st time is done with temperature 725 °C. It does heat treatment, with Rapid thermal anneal which uses for example infrared lamp. Furthermore, temperature of preferably heat treatment is designated as the 650 to 750 °C and more preferably 650 to 700 °C, heat treatment time is designated as 30 to 90 second.

[0060] Because thermal expansion coefficient of Ti it is large in comparison with the thermal expansion coefficient of Si, when Ti film 9 of back surface fully it is thick in comparison with Ti film 5 of surface, in order for substrate 1 to designate back surface as outside with substrate heating, it curves. With warp of substrate 1, compressive stress joins to surface layer of Ti film 5 and substrate 1, compressive strain occurs.

[0061] By thermal processing of 1st time, TiSi₂ layer 6 is formed by the interface of low resistance region 3 and Ti film 5, TiSi₂ layer 7 is formed to the interface of gate electrode 2 and

る。また、基板1の裏面には、 $TiSi_2$ 層10が形成される。 $TiSi_2$ 層6、7及び10は、C49相である。

【0062】図5(C)を参照して、第2回目の熱処理までの工程について説明する。第1回目の熱処理で未反応のTi膜5を H_2SO_4 と H_2O_2 とを3:1に混合したエッチング液を使用し、温度70℃で20分間エッチングして除去する。Ti膜9はTi膜5よりも厚いため、その一部は除去されないで残る。

【0063】アルゴン雰囲気中で温度約800℃で30秒間の熱処理を行う。熱処理は、例えばラピッドサーマルアニールにより行う。なお、好ましくは熱処理の温度を800~900℃、より好ましくは800~850℃とする。裏面のTi膜9及び $TiSi_2$ 膜10は、Siよりも熱膨張係数が大きいので、800℃に加熱するとTi膜9側の面が外側になるように基板が反る。このときの熱処理温度は図5(B)に示したシリサイド化時の熱処理温度よりも高い。また、表面と裏面のTi膜のエッチング厚さが等しいとすると、表面のTi膜5もしくは $TiSi_2$ 層7の厚さに対する裏面のTi膜9及び $TiSi_2$ 膜10の合計の厚さの比が、シリサイド化時のそれよりも大きくなっているため、シリサイド化時よりも基板の反り量が大きくなると考えられる。このため、基板1の表側に形成された $TiSi_2$ 層6、7に圧縮応力が加えられ、圧縮歪が生ずる。

【0064】このように、 $TiSi_2$ 層に圧縮応力を加えて圧縮歪を生じさせ、800℃程度に加熱することにより、 $TiSi_2$ 層6、7を効率的にC54相に相転移させることができる。

【0065】第2回目の熱処理工程後、シリコン基板1を背面研磨することにより、Ti膜9と $TiSi_2$ 層10とを除去する。Ti膜9と $TiSi_2$ 層10とを除去すると、基板は元の平坦な状態に復元する。なお、背面研磨の代わりにケミカルエッチングにより除去してもよい。

【0066】上記第3の実施例では、基板の裏面に形成する膜としてTi及び $TiSi_2$ を使用する場合について説明したが、Siよりも熱膨張係数が大きいものであればその他の材料を用いてもよい。例えば、TiN、AlN、ZrN、HfN、Co、Ni、Zr、Hf、Ta、Fe、Cr、Mo、W、Pt、 $NiSi_2$ 、 $ZrSi_2$

Ti film 5. In addition, $TiSi_2$ layer 10 is formed to back surface of the substrate 1. $TiSi_2$ layer 6, 7 and 10 are C49 phase.

[0062] Referring to Figure 5 (C), you explain concerning step of heat treatment of second. With heat treatment of 1st time unreacted Ti film 5 you use etching liquid which mixes with H_2SO_4 and H_2O_2 to 3 : 1, 20 min etching do with temperature 70 °C and remove. As for Ti film 9 because it is thick in comparison with Ti film 5, the part of that remains without being removed.

[0063] In argon atmosphere thermal processing of 30 second is done with temperature approximately 800 °C. It does thermal processing, with for example Rapid thermal anneal. Furthermore, temperature of preferably thermal processing is designated as the 800 to 900 °C and more preferably 800 to 850 °C. As for Ti film 9 and $TiSi_2$ membrane 10 of back surface, because thermal expansion coefficient is large in comparison with Si, when it heats to 800 °C, in order for surface of Ti film 9 side to become outside, substrate curves. heat treatment temperature of this time is high in comparison with heat treatment temperature at the time of polycide conversion which is shown in Figure 5 (B). In addition, when we assume, that etching thickness of Ti film of surface and back surface is equal, because Ti film 5 of surface or Ti film 9 of the back surface for thickness of $TiSi_2$ layer 7 and ratio of the thickness of total of $TiSi_2$ membrane 10, it becomes large in comparison with that at time of polycide conversion, with at time of polycide conversion it is thought that warpage of substrate becomes large, in comparison. Because of this, it can add to $TiSi_2$ layer 6, 7 which was formed to front side of substrate 1 compressive stress, compressive strain occurs.

[0064] This way, doing to cause compressive strain in $TiSi_2$ layer including compressive stress, the $TiSi_2$ layer 6, 7 phase transition is possible to efficient to C54 phase by heating to 800 °C extent.

[0065] It removes with Ti film 9 and $TiSi_2$ layer 10 after thermal processing step of the second, by back surface grinding silicon substrate 1. When it removes with Ti film 9 and $TiSi_2$ layer 10, it reconstructs substrate to original flat state. Furthermore, it is possible in place of back surface grinding to remove with chemical etching.

[0066] With Working Example of above-mentioned 3rd, you explained concerning when Ti and $TiSi_2$ are used as film which is formed in the back surface of substrate, but if it is something where thermal expansion coefficient is large in comparison with Si, making use of other material it is good. Making use of for example TiN, AlN, ZrN, HfN, Co, the Ni, Zr, Hf, Ta, Fe,

HfSi_2 、 TaSi_2 、 FeSi_2 、 CrSi_2 、 MoSi_2 、 WSi_2 、 PtSi_2 等を用いてもよい。
また、Si 以外の基板を用いてもよい。この場合には、図5 (C) の工程で基板裏面に形成する膜は、基板よりも大きな熱膨張係数を有する材料とする。

【0067】図6は、第1回目の熱処理工程後の TiSi_2 層のシート抵抗と TiSi_2 層の線幅との関係を示す。横軸は TiSi_2 層の線幅を単位 μm で表し、縦軸はシート抵抗を単位 Ω/\square で表す。図中の記号●は、第3の実施例の方法で形成した TiSi_2 層、記号○は、基板の裏面に Ti 層を形成しない従来方法で形成した TiSi_2 層のシート抵抗を示す。

【0068】線幅が少なくとも $0.25 \sim 1 \mu\text{m}$ の範囲で、第3の実施例の場合のシート抵抗が、従来例の場合のシート抵抗よりも約 $2 \Omega/\square$ 程度小さい。これは、Ti 層及び Si 表面層の歪によりシリサイド化反応が速く進み、厚い TiSi_2 層が形成されているためと考えられる。

【0069】図7は、第2回目の熱処理工程後の TiSi_2 層のシート抵抗と TiSi_2 層の線幅との関係を示す。横軸、縦軸、及び図中の記号は、図6の場合と同様である。

【0070】線幅が少なくとも $0.25 \sim 1 \mu\text{m}$ の範囲で、第3の実施例の場合のシート抵抗が、従来例の場合のシート抵抗よりも低い。特に、線幅が $0.4 \mu\text{m}$ 以下になると、シート抵抗低減効果が著しい。例えば、線幅が $0.28 \mu\text{m}$ のとき、第3の実施例の場合のシート抵抗が従来の場合のシート抵抗よりも、約 $5.5 \Omega/\square$ 程度小さい。第3の実施例の場合には、従来例に比べて厚い TiSi_2 層が形成されている上に、 TiSi_2 層に圧縮歪を生じさせて熱処理を行うため、高抵抗の C49 相から低抵抗の C54 相への相転移が促進されるためと考えられる。

【0071】第3の実施例では、Ti 層及び Si 表面層に圧縮歪を生じさせてシリサイド反応を起こさせる場合を説明したが、圧縮歪に限らず伸張歪を生じさせてもエネルギー的に不安定になり、Ti と Si の相互拡散が促進されシリサイド反応が促進されると考えられる。また、

Cr, the Mo, W, Pt, Ni Si_2 , Zr Si_2 , Hf Si_2 , the Ta Si_2 , Fe Si_2 , Cr Si_2 , Mo Si_2 , W Si_2 and Pt Si_2 etc it is good. In addition, making use of group sheet other than Si it is good. In this case, film which with step of Figure 5 (C) is formed in the substrate back surface makes material which possesses big thermal expansion coefficient in comparison with substrate.

[0067] Figure 6 shows relationship between sheet resistance of TiSi_2 layer after thermal processing step of 1st time and linewidth of TiSi_2 layer. horizontal axis displays linewidth of TiSi_2 layer with unit μm , vertical axis displays sheet resistance with unit Ω/\square . As for symbol .solid circ. of in the diagram, TiSi_2 layer which was formed with the method of Working Example of 3rd, as for symbol .circ., sheet resistance of the TiSi_2 layer which was formed until recently with method which does not form Ti layer in back surface of substrate is shown.

[0068] Linewidth at least in range of 0.25 to $1 \mu\text{m}$, sheet resistance when it is a Working Example of 3rd, approximately $2 \Omega/\square$ extent is small in comparison with the sheet resistance when it is a Prior Art Example. As for this, silicide conversion reaction advances quickly with distortion of Ti layer and Si surface layer, is thought for sake of thick TiSi_2 layer is formed.

[0069] Figure 7 shows relationship between sheet resistance of TiSi_2 layer after thermal processing step of second and linewidth of TiSi_2 layer. symbol of horizontal axis, vertical axis, and in the diagram is similar to case of Figure 6.

[0070] Linewidth at least in range of 0.25 to $1 \mu\text{m}$, sheet resistance when it is a Working Example of 3rd, is low in comparison with sheet resistance when it is a Prior Art Example. Especially, when linewidth becomes $0.4 \mu\text{m}$ or less, sheet resistance reducing effect is considerable. When for example linewidth is $0.28 \mu\text{m}$, sheet resistance when it is a Working Example of 3rd approximately $5.5 \Omega/\square$ extent it is small in comparison with sheet resistance in conventional case. In case of Working Example of 3rd, in addition to fact that thick TiSi_2 layer is formed in comparison with Prior Art Example, causing compressive strain in TiSi_2 layer, in order to do heat treatment, it is thought for the sake of phase transition to C54 phase of low resistance is promoted from C49 phase of high resistance.

[0071] With Working Example of 3rd, causing compressive strain in Ti layer, and the Si surface layer you explained case where it causes polycide reaction causing the drawing strain, but not just compressive strain, energy, it becomes unstable, the mutual diffusion of Ti and Si is promoted and it is thought

Ti以外の他の金属であっても、エネルギー的に不安定な状態で拡散が促進されると考えられるため、第3の実施例は、Ti以外のシリサイド反応を起こす金属を用いて金属シリサイド層を形成する場合にも適用できるであろう。

【0072】また、第3の実施例では、シリサイド化時に歪を生じさせ、かつ相転移時に圧縮歪を生じさせた場合を説明したが、シリサイド化時に歪を生じさせることにより、より厚いシリサイド層を得ることができるため、シリサイド化時のみ歪を生じさせてもシート抵抗低減効果があるであろう。

【0073】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0074】

【発明の効果】以上説明したように、本発明によれば、 $TiSi_2$ の微細パターンのシート抵抗を低減することができる。また、Ti以外の金属シリサイドの抵抗を低減することができる。これにより、半導体装置の高速化、信頼性向上を図ることが可能になる。

【図面の簡単な説明】

【図1】第1の実施例による半導体装置の製造方法を説明するための基板の断面図である。

【図2】第2の実施例による半導体装置の製造方法を説明するための基板の断面図である。

【図3】第1の実施例による方法で作製した $TiSi_2$ 層のシート抵抗を示すグラフである。

【図4】従来例による方法で作製した $TiSi_2$ パターンのシート抵抗を示すグラフである。

【図5】第3の実施例による半導体装置の製造方法を説明するための基板の断面図である。

【図6】第3の実施例による方法で作製した第1回目熱処理後の $TiSi_2$ パターンのシート抵抗を示すグラフ

that polycide reaction is promoted. In addition, being an other metal other than Ti, because it is thought, that scattering is promoted energy with unstable state, Working Example of the 3rd when it forms metal polycide layer making use of metal which causes the polycide reaction other than Ti even, it probably can apply.

[0072] In addition, with Working Example of 3rd, at time of polycide conversion doing to cause strain, you explained case where at the same time it causes compressive strain at time of phase transition, but at the time of polycide conversion because a thicker polycide layer can be acquired by causing strain, only at time of polycide conversion causing the strain, there probably is a sheet resistance reducing effect.

[0073] This invention was explained alongside or more Working Example, but this invention is not something which is restricted to these. for example various modification, improvement and combination etc as for possible thing probably are self-explanatory in person skilled in the art.

[0074]

[Effects of the Invention] As above explained, according to this invention, sheet resistance of fine pattern of the $TiSi_2$ can be decreased. In addition, resistance of metal silicide other than Ti can be decreased. Because of this, acceleration of semiconductor device, it becomes possible to assure reliability improvement.

[Brief Explanation of the Drawing(s)]

[Figure 1] It is a cross section of substrate in order to explain manufacturing method of semiconductor device due to first Working Example.

[Figure 2] It is a cross section of substrate in order to explain manufacturing method of semiconductor device due to second Working Example.

[Figure 3] It is a graph which shows sheet resistance of $TiSi_2$ layer which is produced with method due to first Working Example.

[Figure 4] It is a graph which shows sheet resistance of $TiSi_2$ pattern which is produced with method due to Prior Art Example.

[Figure 5] It is a cross section of substrate in order to explain manufacturing method of semiconductor device due to Working Example of 3rd.

[Figure 6] It is a graph which shows sheet resistance of $TiSi_2$ pattern after 1st time thermal processing which is produced with

である。

【図7】第3の実施例による方法で作製した第2回目熱処理後の TiSi_2 パターンのシート抵抗を示すグラフである。

【符号の説明】

- 1 シリコン基板
- 2 ゲート電極
- 3 低抵抗領域
- 4 サイドウォール
- 5 Ti 膜
- 6、7、10 TiSi_2 層
- 8 TiN 膜
- 9 Ti 層
- 11 SiO_2 膜

method due to Working Example of 3rd.

[Figure 7] It is a graph which shows sheet resistance of TiSi_2 pattern after second thermal processing which is produced with method due to Working Example of 3rd.

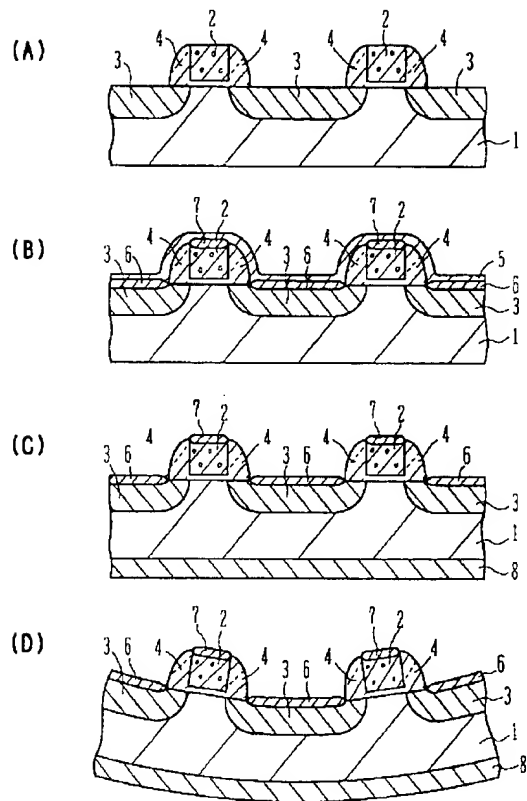
[Explanation of Reference Signs in Drawings]

- 1 silicon substrate
- 2 gate electrode
- 3 low resistance region
- 4 sidewall
- 5 Ti film
- 6, 7 and 10 TiSi_2 layer
- 8 TiN film
- 9 Ti layer
- 11 SiO_2 film

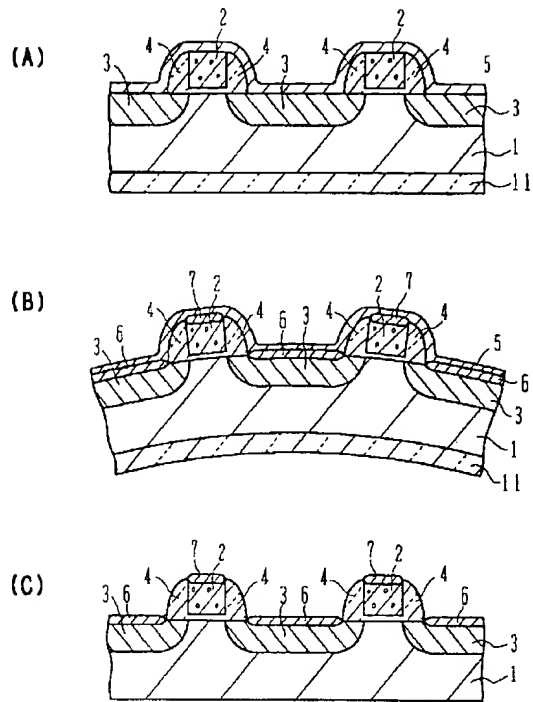
【図 1】

[Figure 1]

第1の実施例

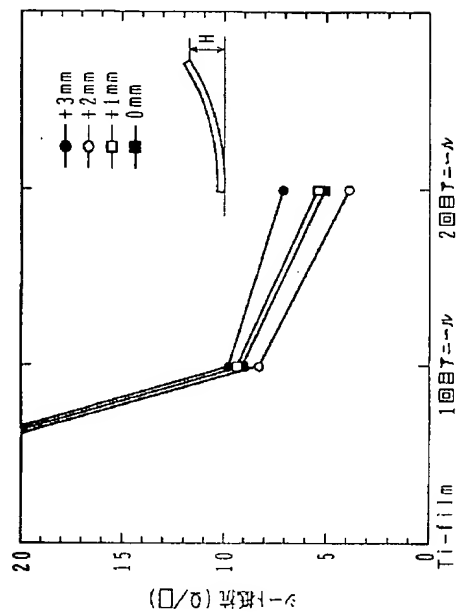


第2の実施例



【図3】

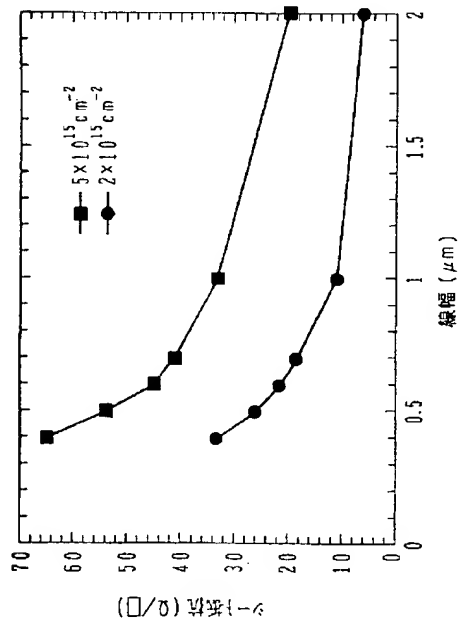
第1の実施例によるシート抵抗



[Figure 3]

【図4】

従来例によるシート抵抗

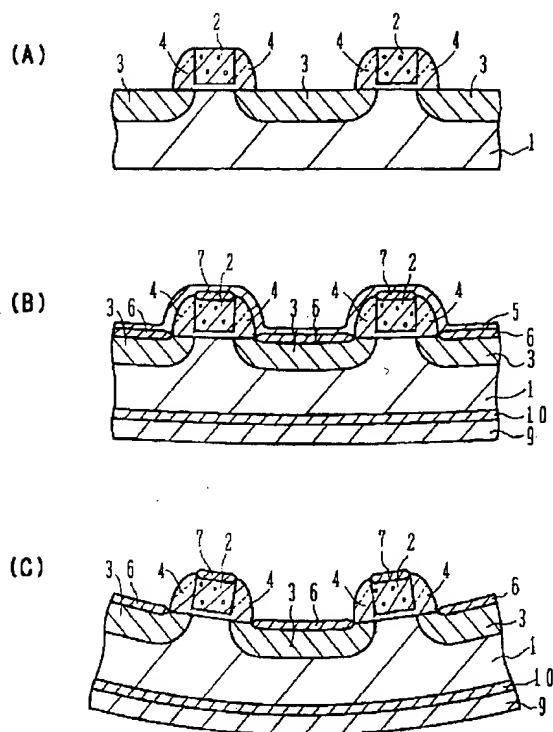


[Figure 4]

【図5】

[Figure 5]

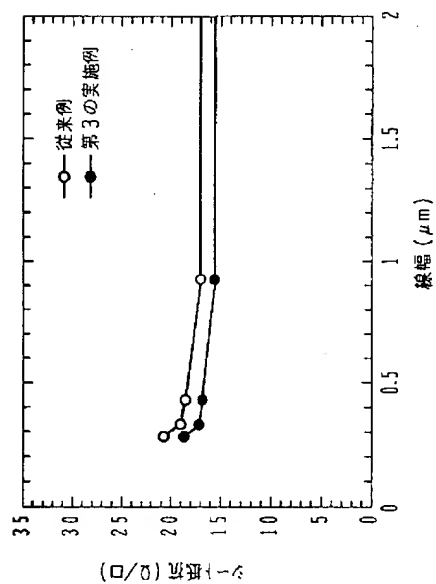
第3の実施例



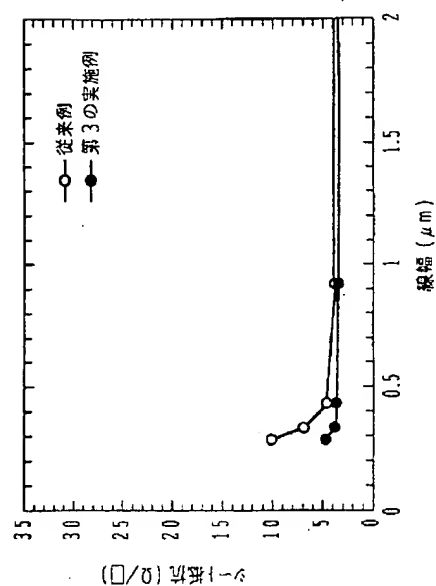
【図6】

[Figure 6]

第1回目熱処理後のシート抵抗



第2回目熱処理後のシート抵抗



【図7】

[Figure 7]